

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229134

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 09-300815

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.10.1997

(72)Inventor : ASAKURA HISAO

(30)Priority

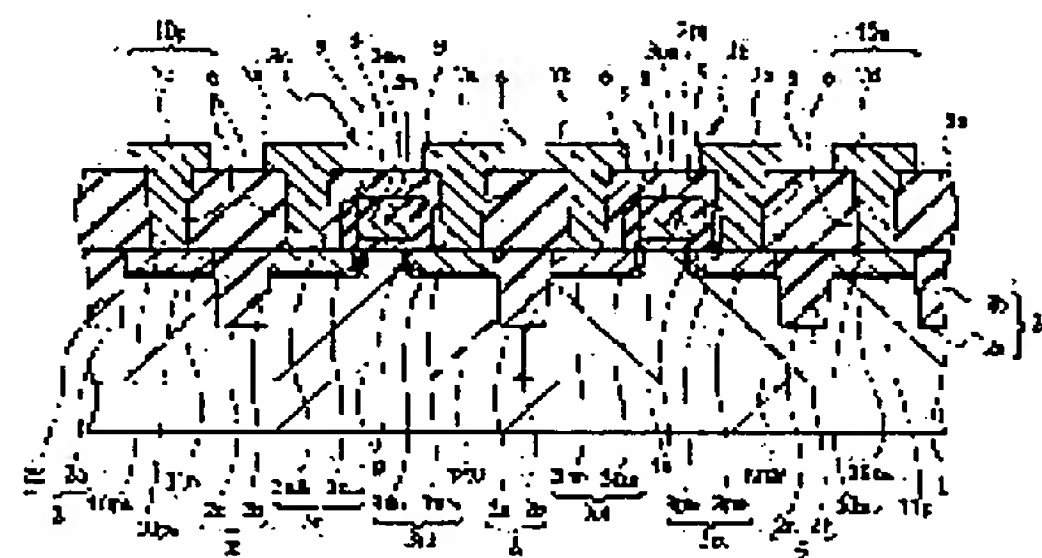
Priority number : 08333231 Priority date : 13.12.1996 Priority country : JP

**(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the manufacture process of a semiconductor integrated circuit device having a structure such that an n-channel type MIS(metal insulator semiconductor) transistor and a p-channel type MIS transistor on the same semiconductor substrate.

**SOLUTION:** In this method, the process for implanting impurity ions for forming source/drain regions of n-channel type MOS FET3n, an n'-type semiconductor region 4n for short channel effect suppression and an n-well feed region 10n on the semiconductor substrate 1 with the same photoresist as a mask and the process for implanting the impurity ions for forming the source/drain regions of p-channel type MOS FET3p, a p-type semiconductor region 4p for short channel effect suppression and a p-well feeding region 10p on the semiconductor substrate 1 with the same photoresist as the mask are provided.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229134

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8238  
27/092  
21/265  
29/78  
21/336

H 0 1 L 27/08 3 2 1 N  
21/265 6 0 4 V  
27/08 3 2 1 B  
29/78 3 0 1 P

審査請求 未請求 請求項の数44 O L (全 65 頁)

(21) 出願番号 特願平9-300815  
(22) 出願日 平成9年(1997)10月31日  
(31) 優先権主張番号 特願平8-333231  
(32) 優先日 平8(1996)12月13日  
(33) 優先権主張国 日本 (J P)

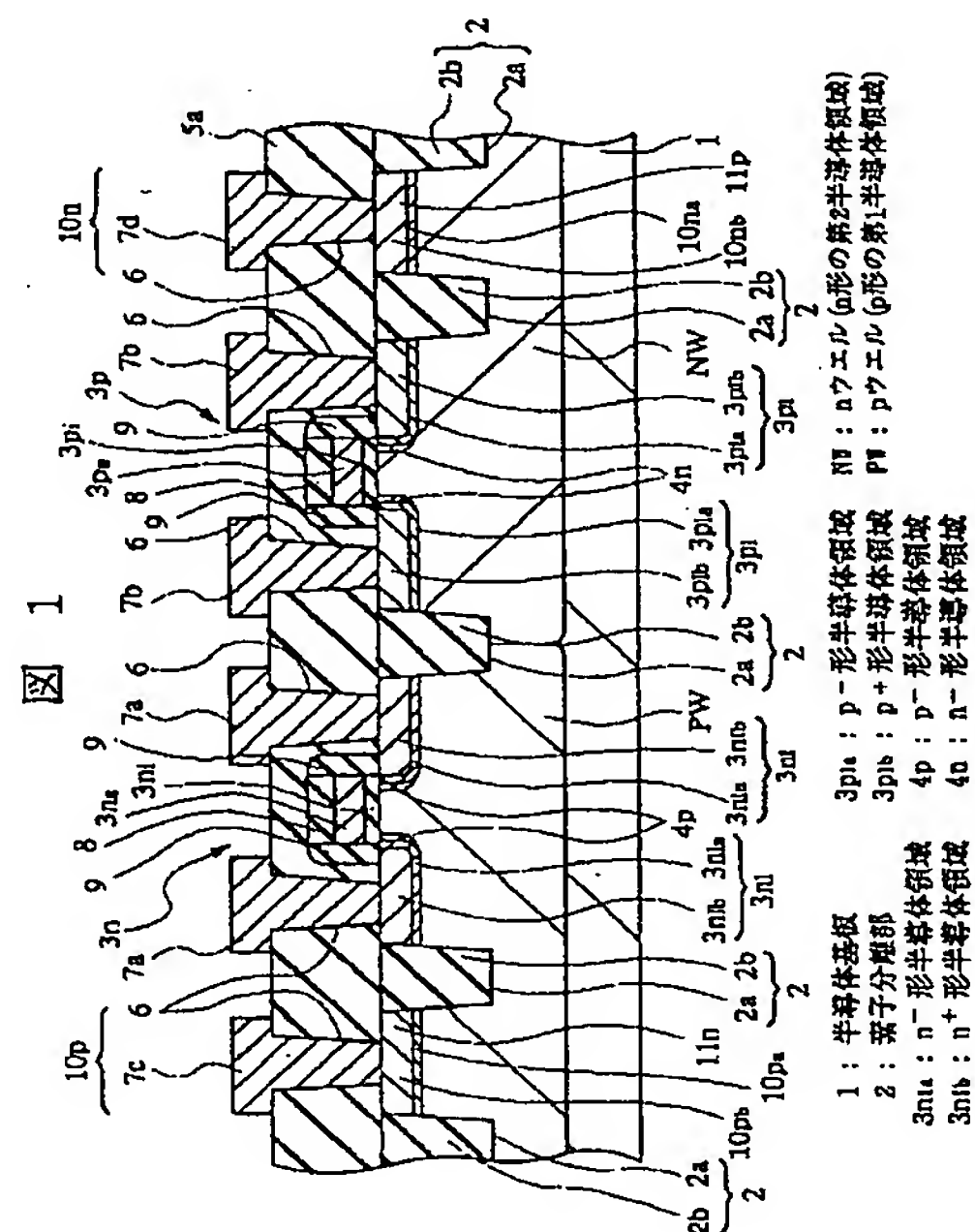
(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 朝倉 久雄  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【要約】

【課題】 nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程を低減する。

【解決手段】 同一のフォトリソストをマスクとして半導体基板1にnチャネル形のMOS・FET 3nのソース・ドレイン領域、短チャネル効果抑制用のn<sup>-</sup>形半導体領域4nおよびnウエル給電領域10nの形成用の不純物イオンを注入する工程と、同一のフォトリソストをマスクとして半導体基板1にpチャネル形のMOS・FET 3pのソース・ドレイン領域、短チャネル効果抑制用のp<sup>-</sup>形半導体領域4pおよびpウエル給電領域10pの形成用の不純物イオンを注入する工程とを設けた。



## 【特許請求の範囲】

【請求項1】 半導体基板上にnチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを形成してなる半導体集積回路装置の製造方法であって、

(a) 前記半導体基板にpウェルおよびnウェルを形成する工程と、(b) 前記半導体基板上に、pチャネル形のMISトランジスタ形成領域およびpウェル給電領域を被覆し、かつ、nチャネル形のMISトランジスタ形成領域およびnウェル給電領域を露出させる第1マスクを形成する工程と、(c) 前記第1マスクから露出した領域の半導体基板にp<sup>-</sup>形半導体領域を形成するためのp形不純物を半導体基板の主面に対して斜め方向から導入する工程と、(d) 前記第1マスクから露出した領域の半導体基板にn<sup>+</sup>形半導体領域を形成するためのn形不純物を導入する工程と、(e) 前記半導体基板上に、nチャネル形のMISトランジスタ形成領域およびnウェル給電領域を被覆し、かつ、pチャネル形のMISトランジスタ形成領域およびpウェル給電領域を露出させる第2マスクを形成する工程と、(f) 前記第2マスクから露出した領域の半導体基板にn<sup>-</sup>形半導体領域を形成するためのn形不純物を半導体基板の主面に対して斜め方向から導入する工程と、(g) 前記第2マスクから露出した領域の半導体基板にp<sup>+</sup>形半導体領域を形成するためのp形不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、(a) 前記第1マスクから露出した領域の半導体基板にn<sup>-</sup>形半導体領域を形成するためのn形不純物を導入する工程と、(b) 前記第2マスクから露出した領域の半導体基板にp<sup>-</sup>形半導体領域を形成するためのp形不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法において、(a) 前記第1マスクの形成工程に際して前記半導体基板のメモリセル領域も被覆するように第1マスクを形成する工程と、(b) 前記第2マスクの形成工程に際して前記半導体基板のメモリセル領域においてウェル給電領域以外が被覆されるように第2マスクを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の製造方法において、前記半導体基板に溝を掘った後、その溝内に分離膜を埋め込む工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 半導体基板のpウェルに形成されたnチャネル形のMISトランジスタと、半導体基板のnウェルに形成されたpチャネル形のMISトランジスタとを有する半導体集積回路装置であって、前記nチャネル形のMISトランジスタのソース・ドレイン領域における深さ方向の不純物濃度分布が、nウェ

ル給電領域における深さ方向の不純物濃度分布と同一であり、

前記pチャネル形のMISトランジスタのソース・ドレイン領域における深さ方向の不純物濃度分布が、pウェル給電領域における深さ方向の不純物濃度分布と同一であることを特徴とする半導体集積回路装置。

【請求項6】 半導体基板にp形の第1半導体領域とn形の第2半導体領域とを有し、前記p形の第1半導体領域には、nチャネル形MIS・FETと前記p形の第1半導体領域に第1固定電位を供給するための第1給電領域とを有し、前記n形の第2半導体領域には、pチャネル形MIS・FETと前記n形の第2半導体領域に第2固定電位を供給するための第2給電領域とを有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板の主面上にゲート絶縁膜を形成する工程と、(b) 前記p形の第1半導体領域の主面上の前記ゲート絶縁膜上に、側壁を有するゲート電極を形成する工程と、

(c) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、(d) 前記半導体基板上に、前記nチャネル形MIS・FET形成領域と前記第2給電領域とが露出する第1マスクを形成する工程と、(e) 前記半導体基板において前記第1マスクから露出した領域に、第3半導体領域を形成するためのp形の第1不純物、第4半導体領域を形成するためのn形の第2不純物および第5半導体領域を形成するためのn形の第3不純物をイオン打ち込みする工程とを有し、

前記n形の第3不純物は、前記p形の第1不純物よりも深い位置にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項6記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記n形の第2不純物よりも高濃度にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記半導体基板の主面に対して垂直な方向に対して第1の傾きを持ってイオン打ち込みし、

前記p形の第1不純物およびn形の第2不純物は、前記半導体基板の主面に対して垂直な方向に対して第2の傾きを持ってイオン打ち込みし、前記第2の傾きは、前記第1の傾きよりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項7記載の半導体集積回路装置の製造方法において、前記工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積する工程と、前記絶縁膜を異方性エッチング処理をする工程とを有することを特徴とする半導体集積回路装置の製造方法。



【請求項10】 請求項7記載の半導体集積回路装置の製造方法において、前記工程(e)の後に、前記半導体基板に対して熱処理を施すことにより、前記第3半導体領域、前記第4半導体領域および前記第5半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項10記載の半導体集積回路装置の製造方法において、前記第3半導体領域、前記第4半導体領域および前記第5半導体領域は、前記側壁絶縁膜に対して自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 半導体基板にp形の第1半導体領域とn形の第2半導体領域とを有し、前記p形の第1半導体領域には、nチャネル形MIS・FETを有し、前記n形の第2半導体領域には、pチャネル形MIS・FETを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主面上にゲート絶縁膜を形成する工程と、(b) 前記p形の第1半導体領域および前記n形の第2半導体領域の主面上の前記ゲート絶縁膜上に、側壁を有するゲート電極を形成する工程と、(c) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、

(d) 前記半導体基板上に、前記nチャネル形MIS・FET形成領域が露出され、前記pチャネル形MIS・FET形成領域が覆われる第1マスクを形成する工程と、(e) 前記半導体基板において前記第1マスクから露出した領域に、第3半導体領域を形成するためのp形の第1不純物、第4半導体領域を形成するためのn形の第2不純物および第5半導体領域を形成するためのn形の第3不純物をイオン打ち込みする工程と、(f) 前記半導体基板上に、前記pチャネル形MIS・FET形成領域が露出され、前記nチャネル形MIS・FET形成領域が覆われる第2マスクを形成する工程と、(g) 前記半導体基板において前記第2マスクから露出した領域に、第6半導体領域を形成するためのn形の第4不純物、第7半導体領域を形成するためのp形の第5不純物および第8半導体領域を形成するためのp形の第6不純物をイオン打ち込みする工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記p形の第1不純物よりも深い位置にイオン打ち込みし、前記p形の第6不純物は、前記n形の第4不純物よりも深い位置にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項12記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記n形の第2不純物よりも高濃度にイオン打ち込みし、前記p形の第6不純物は、前記p形の第5不純物よりも高濃度にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法において、

前記n形の第3不純物は、前記半導体基板の主面に対して垂直な方向に対して第1の傾きを持ってイオン打ち込みし、前記p形の第1不純物およびn形の第2不純物は、前記半導体基板の主面に対して垂直な方向に対して第2の傾きを持ってイオン打ち込みし、前記第2の傾きは、前記第1の傾きよりも大きく、前記p形の第6不純物は、前記半導体基板の主面に対して垂直な方向に対して第3の傾きを持ってイオン打ち込みし、前記n形の第4不純物およびp形の第5不純物は、前記半導体基板の主面に対して垂直な方向に対して第4の傾きを持ってイオン打ち込みし、前記第4の傾きは、前記第3の傾きよりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項14記載の半導体集積回路装置の製造方法において、前記工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積する工程と、前記絶縁膜を異方性エッチング処理をする工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項14記載の半導体集積回路装置の製造方法において、前記工程(g)の後に、前記半導体基板に対して熱処理を施すことにより、前記第3半導体領域、前記第4半導体領域、前記第5半導体領域、前記第6半導体領域、前記第7半導体領域および前記第8半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法において、前記第3半導体領域、前記第4半導体領域および前記第5半導体領域は、前記p形の第1半導体領域上のゲート電極の側壁の側壁絶縁膜に対して自己整合的に形成され、前記第6半導体領域、前記第7半導体領域および前記第8半導体領域は、前記n形の第2半導体領域上のゲート電極の側壁の側壁絶縁膜に対して自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 半導体基板にp形の第1半導体領域とn形の第2半導体領域とを有し、前記p形の第1半導体領域には、nチャネル形MIS・FETと前記p形の第1半導体領域に第1固定電位を供給するための第1給電領域とを有し、前記n形の第2半導体領域には、pチャネル形MIS・FETと前記n形の第2半導体領域に第2固定電位を供給するための第2給電領域とを有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板の主面上にゲート絶縁膜を形成する工程と、

(b) 前記p形の第1半導体領域および前記n形の第2半導体領域の主面上の前記ゲート絶縁膜上に、側壁を有するゲート電極を形成する工程と、(c) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、(d) 前記半

導体基板上に、前記nチャネル形MIS・FET形成領域と前記第2給電領域とが露出され、前記pチャネル形MIS・FET形成領域と前記第1給電領域とが覆われる第1マスクを形成する工程と、(e)前記半導体基板において前記第1マスクから露出した領域に、第3半導体領域を形成するためのp形の第1不純物、第4半導体領域を形成するためのn形の第2不純物および第5半導体領域を形成するためのn形の第3不純物をイオン打ち込みする工程と、(f)前記半導体基板上に、前記pチャネル形MIS・FET形成領域と前記第1給電領域とが露出され、前記nチャネル形MIS・FET形成領域と前記第2給電領域とが覆われる第2マスクを形成する工程と、(g)前記半導体基板において前記第2マスクから露出した領域に、第6半導体領域を形成するためのn形の第4不純物、第7半導体領域を形成するためのp形の第5不純物および第8半導体領域を形成するためのp形の第6不純物をイオン打ち込みする工程とを有し、前記n形の第3不純物は、前記p形の第1不純物よりも深い位置にイオン打ち込みし、前記p形の第6不純物は、前記n形の第4不純物よりも深い位置にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記n形の第2不純物よりも高濃度にイオン打ち込みし、前記p形の第6不純物は、前記p形の第5不純物よりも高濃度にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項20記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記半導体基板の主面に対して垂直または垂直な方向に対して第1の傾きを持ってイオン打ち込みし、前記p形の第1不純物およびn形の第2不純物は、前記半導体基板の主面に対して垂直な方向に対して第2の傾きを持ってイオン打ち込みし、前記第2の傾きは、前記第1の傾きよりも大きく、前記p形の第6不純物は、前記半導体基板の主面に対して垂直または垂直な方向に対して第3の傾きを持ってイオン打ち込みし、前記n形の第4不純物およびp形の第5不純物は、前記半導体基板の主面に対して垂直な方向に対して第4の傾きを持ってイオン打ち込みし、前記第4の傾きは、前記第3の傾きよりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法において、前記第1給電領域において、前記第8半導体領域は、前記第6半導体領域を覆うように形成され、前記第2給電領域において、前記第5半導体領域は、前記第3半導体領域を覆うように形成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項20記載の半導体集積回路装置

の製造方法において、前記工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積する工程と、前記絶縁膜を異方性エッチング処理によりエッチバックする工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項20記載の半導体集積回路装置の製造方法において、前記工程(g)の後に、前記半導体基板に対して熱処理を施すことにより、前記第3半導体領域、前記第4半導体領域、前記第5半導体領域、前記第6半導体領域、前記第7半導体領域および前記第8半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項20記載の半導体集積回路装置の製造方法において、前記第3半導体領域、前記第4半導体領域および前記第5半導体領域は、前記p形の第1半導体領域上のゲート電極の側壁の側壁絶縁膜に対して自己整合的に形成され、前記第6半導体領域、前記第7半導体領域および前記第8半導体領域は、前記n形の第2半導体領域上のゲート電極の側壁の側壁絶縁膜に対して自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項20記載の半導体集積回路装置の製造方法において、前記n形の第2不純物は、前記半導体基板の主面に対して垂直な方向に対して第1の傾きを持ってイオン打ち込みし、前記p形の第1不純物は、前記半導体基板の主面に対して垂直な方向に対して第2の傾きを持ってイオン打ち込みし、前記第2の傾きは、前記第1の傾きよりも大きく、

前記n形の第4不純物は、前記半導体基板の主面に対して垂直な方向に対して第3の傾きを持ってイオン打ち込みし、前記p形の第5不純物は、前記半導体基板の主面に対して垂直な方向に対して第4の傾きを持ってイオン打ち込みし、前記第3の傾きは、前記第4の傾きよりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項26記載の半導体集積回路装置の製造方法において、前記第1給電領域において、前記第7半導体領域は、前記第6半導体領域を覆うように形成され、前記第2給電領域において、前記第4半導体領域は、前記第3半導体領域を覆うように形成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項28】 半導体基板にp形の第1半導体領域とn形の第2半導体領域とp形の第9半導体領域を有し、前記p形の第1半導体領域には、nチャネル形MIS・FETと前記p形の第1半導体領域に第1固定電位を供給するための第1給電領域とを有し、前記n形の第2半導体領域には、pチャネル形MIS・FETと前記n形の第2半導体領域に第2固定電位を供給するための第2給電領域とを有し、前記p形の第9半導体領域には、メ



メモリセル領域と前記p形の第9半導体領域に第3固定電位を供給するための第3給電領域とを有する半導体集積回路装置の製造方法であって、(a)前記半導体基板の主面上にゲート絶縁膜を形成する工程と、(b)前記p形の第1半導体領域、前記n形の第2半導体領域および前記p形の第9半導体領域の主面上の前記ゲート絶縁膜上に、側壁を有するゲート電極を形成する工程と、

(c)前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、(d)前記半導体基板上に、前記nチャネル形MIS・FET形成領域と前記第2給電領域とが露出され、前記pチャネル形MIS・FET形成領域と前記第1給電領域と前記第3給電領域と前記メモリセル領域とが覆われる第1マスクを形成する工程と、(e)前記半導体基板において前記第1マスクから露出した領域に、第3半導体領域を形成するためのp形の第1不純物、第4半導体領域を形成するためのn形の第2不純物および第5半導体領域を形成するためのn形の第3不純物をイオン打ち込みする工程と、(f)前記半導体基板上に、前記pチャネル形MIS・FET形成領域と前記第1給電領域と前記第3給電領域とが露出され、前記nチャネル形MIS・FET形成領域と前記第2給電領域と前記メモリセル領域とが覆われる第2マスクを形成する工程と、(g)前記半導体基板において前記第2マスクから露出した領域に、第6半導体領域を形成するためのn形の第4不純物、第7半導体領域を形成するためのp形の第5不純物および第8半導体領域を形成するためのp形の第6不純物をイオン打ち込みする工程とを有し、前記n形の第3不純物は、前記p形の第1不純物よりも深い位置にイオン打ち込みし、前記p形の第6不純物は、前記n形の第4不純物よりも深い位置にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項29】 請求項28記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記n形の第2不純物よりも高濃度にイオン打ち込みし、前記p形の第6不純物は、前記p形の第5不純物よりも高濃度にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項30】 請求項29記載の半導体集積回路装置の製造方法において、前記n形の第3不純物は、前記半導体基板の主面に対して垂直または垂直な方向に対して第1の傾きを持ってイオン打ち込みし、前記p形の第1不純物およびn形の第2不純物は、前記半導体基板の主面に対して垂直な方向に対して第2の傾きを持ってイオン打ち込みし、前記第2の傾きは、前記第1の傾きよりも大きく、前記p形の第6不純物は、前記半導体基板の主面に対して垂直または垂直な方向に対して第3の傾きを持ってイオン打ち込みし、前記n形の第4不純物およびp形の第5不純物は、前記半導体基板の主面に対して垂直な方向

に対して第4の傾きを持ってイオン打ち込みし、前記第4の傾きは、前記第3の傾きよりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項30記載の半導体集積回路装置の製造方法において、前記第1給電領域および第3給電領域において、前記第8半導体領域は、前記第6半導体領域を覆うように形成され、前記第2給電領域において、前記第5半導体領域は、前記第3半導体領域を覆うように形成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項29記載の半導体集積回路装置の製造方法において、前記工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積する工程と、前記絶縁膜を異方性エッチング処理する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項33】 請求項29記載の半導体集積回路装置の製造方法において、前記工程(g)の後に、前記半導体基板に対して熱処理を施すことにより、前記第3半導体領域、前記第4半導体領域、前記第5半導体領域、前記第6半導体領域、前記第7半導体領域および前記第8半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 請求項29記載の半導体集積回路装置の製造方法において、前記第3半導体領域、前記第4半導体領域および前記第5半導体領域は、前記p形の第1半導体領域上のゲート電極の側壁の側壁絶縁膜に対して自己整合的に形成され、前記第6半導体領域、前記第7半導体領域および前記第8半導体領域は、前記n形の第2半導体領域上のゲート電極の側壁の側壁絶縁膜に対して自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項35】 請求項28記載の半導体集積回路装置の製造方法において、前記ゲート電極を形成工程後であって前記側壁絶縁膜の形成工程前に、前記半導体基板の全面に、前記メモリセル領域のメモリセル選択MIS・FETのソース・ドレインを形成する第10半導体領域を形成するためのn形の第7不純物を導入する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項36】 請求項35記載の半導体集積回路装置の製造方法において、(a)前記第1不純物、第2不純物、第3不純物、第4不純物、第5不純物および第6不純物の導入工程後、前記半導体基板上に半導体基板の上面および前記ゲート電極を被覆する層間絶縁膜を堆積する工程と、(b)前記メモリセル領域における前記層間絶縁膜に前記メモリセル選択MIS・FETのソース・ドレイン領域の一方が露出するような開孔を形成する工程と、(c)前記開孔を通じて前記メモリセル領域のメモリセル選択MIS・FETのソース・ドレインより深い位置に第11半導体領域を形成するためのn形の第8

不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項37】 請求項36記載の半導体集積回路装置の製造方法において、(a)前記接続孔内に第9不純物を含有する導体膜を埋め込む工程と、(b)前記半導体基板に対して熱処理を施すことにより、前記導体膜中の第9不純物を半導体基板に拡散させて半導体基板に第12半導体領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項38】 請求項28記載の半導体集積回路装置の製造方法において、前記工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積することにより、その絶縁膜において前記ゲート電極の側壁部分を側壁絶縁膜とすることを特徴とする半導体集積回路装置の製造方法。

【請求項39】 請求項38記載の半導体集積回路装置の製造方法において、前記第1不純物、第2不純物、第3不純物、第4不純物、第5不純物および第6不純物を、前記絶縁膜を通して前記半導体基板にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【請求項40】 請求項38記載の半導体集積回路装置の製造方法において、前記絶縁膜は窒化シリコン膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項41】 請求項40記載の半導体集積回路装置の製造方法において、(a)前記第1不純物、第2不純物、第3不純物、第4不純物、第5不純物および第6不純物の導入工程後、前記半導体基板上に、前記絶縁膜に対してエッチング選択比を大きくとれる材料からなり、前記半導体基板の上面および前記ゲート電極を被覆する層間絶縁膜を堆積する工程と、(b)前記メモリセル領域における前記層間絶縁膜に前記メモリセル選択MIS・FETのソース・ドレイン領域の一方が露出するような接続孔を穿孔する工程とを有し、前記接続孔の穿孔工程に際しては、前記層間絶縁膜のエッチング速度の方が前記絶縁膜のエッチング速度よりも速くなるように前記層間絶縁膜と前記絶縁膜とのエッチング選択比を大きくした状態で前記絶縁膜の上面が露出するまでエッチング処理した後、前記絶縁膜のエッチング速度の方が前記層間絶縁膜のエッチング速度よりも速くなるように前記層間絶縁膜と前記絶縁膜とのエッチング選択比を大きくした状態で前記半導体基板の主面が露出するまでエッチング処理を施すことを特徴とする半導体集積回路装置の製造方法。

【請求項42】 請求項28記載の半導体集積回路装置の製造方法において、工程(c)と(d)の間に、前記半導体基板の全面に、前記メモリセル選択MISFETのソース・ドレインを形成する第10半導体領域を形成するためのn形の第7不純物を導入する工程を有することを特徴とする半導体

集積回路装置の製造方法。

【請求項43】 請求項42記載の半導体集積回路装置の製造方法において、

工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積する工程と、前記絶縁膜を異方性エッチング処理する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項44】 請求項42記載の半導体集積回路装置の製造方法において、

10 工程(c)は、前記半導体基板の主面上に前記ゲート電極を被覆するように絶縁膜を堆積する工程を有し、前記第1不純物、前記第2不純物、前記第3不純物、前記第4不純物、前記第5不純物及び前記第6不純物は、前記絶縁膜を通して半導体基板にイオン打ち込みすることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、nチャネル形のMIS(Metal Insulator Semicond

20 uctor)トランジスタおよびpチャネル形のMISトランジスタを同一半導体基板に設ける構造を有する半導体集積回路装置の製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】MISトランジスタの集積度および駆動能力を向上させるには、MISトランジスタの微細化が有効であるため、近年は、その微細化が急速に進められている。

30 【0003】しかし、MISトランジスタが微細化される一方で、電源電圧は一定であるため素子内部の電界強度が増大する結果、短チャネル効果等のような素子特性に悪影響を及ぼす種々の問題が発生している。

【0004】この短チャネル効果は、チャネル長の縮小に伴ってドレイン電圧の影響がゲート電極直下にも及ぶことにより、半導体基板表面のポテンシャルが引き下げられ、しきい電圧の変動(低下)や実行チャネル長の減少を招く等、種々の悪影響を及ぼす現象である。

40 【0005】この短チャネル効果がさらに著しくなると、ドレイン電流をゲート電圧により制御できなくなる、いわゆるパンチスルーが生じ、ソース・ドレイン間のリーク電流が増大してしまう問題が生じる。このパンチスルーは、例えばDRAM(Dynamic Random Access Memory)の転送ゲートにおいて、記憶保持の劣化を引き起こす。

50 【0006】このような問題を回避する技術としては、例えばMISトランジスタのソース領域およびドレイン領域のチャネル側端部に、チャネルの不純物と同一導電形の高不純物濃度の半導体領域を設ける技術について開示されている。なお、このようなパンチスルー抑制技術



については、例えば特開平5-136404号公報に記載がある。

【0007】また、nチャネル形MISFET（以下nMOSと称す）とpチャネル形MISFET（以下pMOSと称す）で構成されたCMOSにおいて、バンチスルー抑制のために、いわゆるポケットイオン注入領域を設けたCMOSの製法が特開平8-111461号公報に開示されている。

【0008】この公報には、以下の製法が開示されている。nMOSとpMOSのゲート電極を形成した後に、nMOS形成領域を露出しpMOS形成領域を覆う第1マスクを形成し、この第1マスクを用いてnMOSの低濃度拡散層を形成するためのイオン注入と、この低濃度拡散層の先端を覆うようにp形の不純物をイオン注入する。次に、pMOS形成領域を露出しnMOS形成領域を覆う第2マスクを形成し、この第2マスクを用いてpMOSの低濃度拡散層を形成するためのイオン注入と、この低濃度拡散層の先端を覆うようにn形の不純物をイオン注入する。その次に、ゲート電極の側壁にサイドウォールスペーサを形成する。次にnMOS形成領域を露出しpMOS形成領域を覆う第3マスクを形成し、この第3マスクを用いてnMOSの高濃度拡散層を形成するためのイオン注入を行う。次にpMOS形成領域を露出しnMOS形成領域を覆う第4マスクを形成し、この第4マスクを用いてpMOSの高濃度拡散層を形成するためのイオン注入を行う。

【0009】以上の製法により、LDD構造とバンチスルー防止用のポケットイオン注入領域を有するCMOSが提供される。

【0010】

【発明が解決しようとする課題】しかしながら、上記イオン注入のためには最低限4枚のマスクが必要である。

【0011】したがって、4回のフォトリソグラフィ工程が必要となり、フォトマスクの数およびフォトレジストの形成および除去工程が多いという問題がある。

【0012】また、フォトレジストの形成および除去工程数が増加するため、半導体集積回路装置の製造プロセスが複雑になるとともに、異物付着率が高くなる結果、半導体集積回路装置の歩留りおよび信頼性が低下してしまう問題が生じる。

【0013】本発明の目的は、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程を低減することのできる技術を提供することにある。

【0014】また、本発明の他の目的は、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程で用いるフォトマスクの枚数を低減することのできる技術を提供することにある。

【0015】さらに、本発明の他の目的は、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の歩留りおよび信頼性を向上させることのできる技術を提供することにある。

【0016】さらに、本発明の他の目的は、メモリセル選択用MISFETと容量素子とが直列接続されたメモリセルを有するDRAMを含む半導体集積回路装置の製造工程を低減するための技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】本発明の半導体集積回路装置の製造方法は、半導体基板上にnチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを形成してなる半導体集積回路装置の製造方法であって、(a)前記半導体基板にpウェルおよびnウェルを形成する工程と、(b)前記半導体基板上に、pチャネル形のMISトランジスタ形成領域およびpウェル給電領域を被覆し、かつ、nチャネル形のMISトランジスタ形成領域およびnウェル給電領域を露出させる第1マスクを形成する工程と、(c)前記第1マスクから露出した領域の半導体基板にn<sup>+</sup>形半導体領域を形成するためのn形不純物を導入する工程と、(d)前記第1マスクから露出した領域の半導体基板にp<sup>-</sup>形半導体領域を形成するためのp形不純物を半導体基板の主面に対して斜め方向から導入する工程と、(e)前記半導体基板上に、nチャネル形のMISトランジスタ形成領域およびnウェル給電領域を被覆し、かつ、pチャネル形のMISトランジスタ形成領域およびpウェル給電領域を露出させる第2マスクを形成する工程と、(f)前記第2マスクから露出した領域の半導体基板にp<sup>+</sup>形半導体領域を形成するためのp形不純物を導入する工程と、(g)前記第2マスクから露出した領域の半導体基板にn<sup>-</sup>形半導体領域を形成するためのn形不純物を半導体基板の主面に対して斜め方向から導入する工程とを有するものである。

【0020】また、本発明の半導体集積回路装置の製造方法は、(a)前記第1マスクから露出した領域の半導体基板にn<sup>-</sup>形半導体領域を形成するためのn形不純物を導入する工程と、(b)前記第2マスクから露出した領域の半導体基板にp<sup>-</sup>形半導体領域を形成するためのp形不純物を導入する工程とを有するものである。

【0021】また、本発明の半導体集積回路装置の製造方法は、(a)前記第1マスクの形成工程に際して前記半導体基板のメモリセル領域も被覆するように第1マスクを形成する工程と、(b)前記第2マスクの形成工程



に際して前記半導体基板のメモリセル領域においてウェル給電領域以外が被覆されるように第 2 マスクを形成する工程とを有するものである。

【0022】また、本発明の半導体集積回路装置の製造方法は、半導体基板に p 形の第 1 半導体領域と n 形の第 2 半導体領域とを有し、前記 p 形の第 1 半導体領域には、n チャネル形 MIS・FET を有し、前記 n 形の第 2 半導体領域には、p チャネル形 MIS・FET を有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板の主面上にゲート絶縁膜を形成する工程と、

(b) 前記 p 形の第 1 半導体領域および前記 n 形の第 2 半導体領域の主面上の前記ゲート絶縁膜上に、側壁を有するゲート電極を形成する工程と、(c) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、(d) 前記半導体基板上に、前記 n チャネル形 MIS・FET 形成領域が露出され、前記 p チャネル形 MIS・FET 形成領域が覆われる第 1 マスクを形成する工程と、(e) 前記半導体基板において前記第 1 マスクから露出した領域に、第 3 半導体領域を形成するための p 形の第 1 不純物、第 4 半導体領域を形成するための n 形の第 2 不純物および第 5 半導体領域を形成するための n 形の第 3 不純物をイオン打ち込みする工程と、(f) 前記半導体基板上に、前記 p チャネル形 MIS・FET 形成領域が露出され、前記 n チャネル形 MIS・FET 形成領域が覆われる第 2 マスクを形成する工程と、(g) 前記半導体基板において前記第 2 マスクから露出した領域に、第 6 半導体領域を形成するための n 形の第 4 不純物、第 7 半導体領域を形成するための p 形の第 5 不純物および第 8 半導体領域を形成するための p 形の第 6 不純物をイオン打ち込みする工程とを有するものである。

【0023】また、本発明の半導体集積回路装置の製造方法は、半導体基板に p 形の第 1 半導体領域と n 形の第 2 半導体領域と p 形の第 9 半導体領域とを有し、前記 p 形の第 1 半導体領域には、n チャネル形 MIS・FET と前記 p 形の第 1 半導体領域に第 1 固定電位を供給するための第 1 給電領域とを有し、前記 n 形の第 2 半導体領域には、p チャネル形 MIS・FET と前記 n 形の第 2 半導体領域に第 2 固定電位を供給するための第 2 給電領域とを有し、前記 p 形の第 9 半導体領域には、メモリセル領域と前記 p 形の第 9 半導体領域に第 3 固定電位を供給するための第 3 給電領域とを有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板の主面上にゲート絶縁膜を形成する工程と、(b) 前記 p 形の第 1 半導体領域、前記 n 形の第 2 半導体領域および前記 p 形の第 9 半導体領域の主面上の前記ゲート絶縁膜上に、側壁を有するゲート電極を形成する工程と、(c) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、(d) 前記半導体基板上に、前記 n チャネル形 MIS・FET 形成領域と前記第 2 給電領域とが露出され、前記 p チャネル形 MIS・FET 形成領域と前記第 1 給電領域と前

記第 3 給電領域と前記メモリセル領域とが覆われる第 1 マスクを形成する工程と、(e) 前記半導体基板において前記第 1 マスクから露出した領域に、第 3 半導体領域を形成するための p 形の第 1 不純物、第 4 半導体領域を形成するための n 形の第 2 不純物および第 5 半導体領域を形成するための n 形の第 3 不純物をイオン打ち込みする工程と、(f) 前記半導体基板上に、前記 p チャネル形 MIS・FET 形成領域と前記第 1 給電領域と前記第 3 給電領域とが露出され、前記 n チャネル形 MIS・FET 形成領域と前記第 2 給電領域と前記メモリセル領域とが覆われる第 2 マスクを形成する工程と、(g) 前記半導体基板において前記第 2 マスクから露出した領域に、第 6 半導体領域を形成するための n 形の第 4 不純物、第 7 半導体領域を形成するための p 形の第 5 不純物および第 8 半導体領域を形成するための p 形の第 6 不純物をイオン打ち込みする工程とを有し、前記 n 形の第 3 不純物は、前記 p 形の第 1 不純物よりも深い位置にイオン打ち込みし、前記 p 形の第 6 不純物は、前記 n 形の第 4 不純物よりも深い位置にイオン打ち込みするものである。

【0024】また、本発明の半導体集積回路装置の製造方法は、前記 n 形の第 3 不純物は、前記 n 形の第 2 不純物よりも高濃度にイオン打ち込みし、前記 p 形の第 6 不純物は、前記 p 形の第 5 不純物よりも高濃度にイオン打ち込みするものである。

【0025】また、本発明の半導体集積回路装置の製造方法は、前記 n 形の第 3 不純物は、前記半導体基板の主面に対して垂直または垂直な方向に対して第 1 の傾きを持ってイオン打ち込みし、前記 p 形の第 1 不純物および n 形の第 2 不純物は、前記半導体基板の主面に対して垂直な方向に対して第 2 の傾きを持ってイオン打ち込みし、前記第 2 の傾きは、前記第 1 の傾きよりも大きく、前記 p 形の第 6 不純物は、前記半導体基板の主面に対して垂直または垂直な方向に対して第 3 の傾きを持ってイオン打ち込みし、前記 n 形の第 4 不純物および p 形の第 5 不純物は、前記半導体基板の主面に対して垂直な方向に対して第 4 の傾きを持ってイオン打ち込みし、前記第 4 の傾きは、前記第 3 の傾きよりも大きいものである。

【0026】また、本発明の半導体集積回路装置の製造方法は、前記第 1 給電領域および第 3 給電領域において、前記第 8 半導体領域は、前記第 6 半導体領域および第 7 半導体領域を覆うように形成され、前記第 2 給電領域において、前記第 5 半導体領域は、前記第 3 半導体領域および第 4 半導体領域を覆うように形成されているものである。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0028】（実施の形態1）図1は本発明の半導体集積回路装置の要部断面図、図2は図1の半導体集積回路装置のウェル給電領域における半導体領域の分布を示すグラフ図、図3は本発明者が検討したウェル給電領域における半導体領域の分布を示すグラフ図、図4～図11は図1の半導体集積回路装置の製造工程中における要部断面図である。

【0029】図1に示す半導体基板1は、例えば $p^-$ 形のシリコン（Si）単結晶からなり、その上部には、 $p$ ウェルPWおよび $n$ ウェルNWが形成されている。

【0030】この $p$ ウェルPWには、例えば $p$ 形不純物のホウ素が含有されている。また、 $n$ ウェルNWには、例えば $n$ 形不純物のリンまたはヒ素（As）が含有されている。

【0031】また、半導体基板1の上部には、例えば二酸化シリコン（ $SiO_2$ ）からなる素子分離部2が形成されている。この素子分離部2は、半導体基板1の上部に掘られた溝2a内に絶縁膜（分離膜）2bが埋設されて形成されている。その素子分離部2の上面は、半導体基板1の主面と一致するように平坦化されている。

【0032】素子分離部2に囲まれた $p$ ウェルPWおよび $n$ ウェルNWには、例えば $n$ チャネル形のMOS・FET（以下、 $n$ MOSという）3nおよび $p$ チャネル形のMOS・FET（以下、 $p$ MOSという）3pが形成されている。なお、この $n$ MOS3nおよび $p$ MOS3pによってCMOS（Complimentary MOS）回路が形成されている。

【0033】 $n$ MOS3nは、 $p$ ウェルPWの上部に互いに離間して形成された一対の $n$ 形半導体領域3n1と、半導体基板1上に形成されたゲート絶縁膜3niと、その上に形成されたゲート電極3ngとを有している。なお、一対の $n$ 形半導体領域3n1の間に $n$ MOS3nのチャネル領域が形成される。

【0034】この $n$ 形半導体領域3n1は、 $n$ MOS3nのソース・ドレイン領域を形成するための領域であり、チャネル領域側に配置された不純物濃度の低い $n^-$ 形半導体領域3n1aと、その外側に配置された不純物濃度の高い $n^+$ 形半導体領域3n1bとを有している。

【0035】 $n^-$ 形半導体領域3n1aおよび $n^+$ 形半導体領域3n1bには、例えば $n$ 形不純物のリンまたはAsが含有されている。 $n$ 形半導体領域3n1のチャネル側端部には短チャネル抑制用の $p^-$ 形半導体領域4pが形成されている。この $p^-$ 形半導体領域4pには、例えば $p$ 形不純物ホウ素等が含有されている。

【0036】なお、 $n$ 形半導体領域3n1は、半導体基板1上の層間絶縁膜5aに穿孔された接続孔6を通じて電極7aと電気的に接続されている。層間絶縁膜5aは、例えば $SiO_2$ からなる。電極7aは、例えばタングステン（W）の単体膜またはTi、TiNおよびWの積層膜（Ti/TiN/W）からなる。

【0037】ゲート絶縁膜3niは、例えば $SiO_2$ からなる。ゲート電極3ngは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。

【0038】なお、ゲート電極3ngの上面および側面には、例えば $SiO_2$ からなるキャップ絶縁膜8およびサイドウォール9が形成されている。

【0039】一方、 $p$ MOS3pは、 $n$ ウェルNWの上部に互いに離間して形成された一対の $p$ 形半導体領域3p1と、半導体基板1上に形成されたゲート絶縁膜3piと、その上に形成されたゲート電極3pgとを有している。なお、一対の $p$ 形半導体領域3p1の間に $p$ MOS3pのチャネル領域が形成される。

【0040】この $p$ 形半導体領域3p1は、 $p$ MOS3pのソース・ドレイン領域を形成するための領域であり、チャネル領域側に配置された不純物濃度の低い $p^-$ 形半導体領域3p1aと、その外側に配置された不純物濃度の高い $p^+$ 形半導体領域3p1bとを有している。

【0041】 $p^-$ 形半導体領域3p1aおよび $p^+$ 形半導体領域3p1bには、例えば $p$ 形不純物のホウ素が含有されている。 $p$ 形半導体領域3p1のチャネル側端部には短チャネル抑制用の $n^-$ 形半導体領域4nが形成されている。この $n^-$ 形半導体領域4nには、例えば $n$ 形不純物のリンまたはAs等が含有されている。

【0042】なお、 $p$ 形半導体領域3p1は、半導体基板1上の層間絶縁膜5aに穿孔された接続孔6を通じて電極7bと電気的に接続されている。電極7bは、例えばWの単体膜またはTi/TiN/Wの積層膜からなる。

【0043】ゲート絶縁膜3piは、例えば $SiO_2$ からなる。ゲート電極3pgは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。

【0044】なお、この $p$ MOS3pのゲート電極3pgの上面および側面には、例えば $SiO_2$ からなるキャップ絶縁膜5が形成されている。また、ゲート電極3ng、3pgの側面には、例えば $SiO_2$ からなるサイドウォール9が形成されている。

【0045】 $p$ ウェルPWにおいて素子分離部2に囲まれた領域には、 $p$ ウェルPWに所定の電圧を供給するための $p$ ウェル給電領域10pが形成されている。

【0046】 $p$ ウェル給電領域10pは、不純物濃度の低い $p^-$ 形半導体領域10paと、不純物濃度の高い $p^+$ 形半導体領域10pbと、 $n^-$ 形半導体領域11nとを有している。

【0047】 $p^-$ 形半導体領域10paおよび $p^+$ 形半導体領域10pbには、例えば $p$ 形不純物のホウ素が含有されている。また、 $n^-$ 形半導体領域11nには、例えば $n$ 形不純物のリンまたはAsが含有されている。

【0048】なお、 $p$ ウェル給電領域10pは、半導体



基板1上の層間絶縁膜5aに穿孔された接続孔6を通じて電極7cと電気的に接続されている。電極7cは、例えばWの単体膜またはTi/TiN/Wの積層膜からなる。

【0049】このp<sup>-</sup>形半導体領域10paと、p<sup>+</sup>形半導体領域10pbと、n<sup>-</sup>形半導体領域11nとは、後述するように、上記したnMOS3nのp<sup>-</sup>形半導体領域3p1aと、p<sup>+</sup>形半導体領域3p1bと、n<sup>-</sup>形半導体領域4nとを形成するためのイオン注入時に同一マスクで同時に形成されている。

【0050】このpウェル給電領域10pの半導体領域の分布を図2に示す。p<sup>-</sup>形半導体領域10paは、最も深い位置まで分布している。p<sup>+</sup>形半導体領域10pbは、p<sup>-</sup>形半導体領域10paよりも浅い位置まで分布している。また、n<sup>-</sup>形半導体領域11nは、p<sup>+</sup>形半導体領域10pbよりも浅い位置に分布している。

【0051】ところで、図3は本発明者が検討した技術であり、n<sup>-</sup>形半導体領域11nがp<sup>-</sup>形半導体領域10paおよびp<sup>+</sup>形半導体領域10pbよりも深い位置に分布し、pウェルPWに一部重なるように形成されている。この場合は、p<sup>+</sup>形半導体領域10pbとpウェルPWとの間に絶縁層が形成されるのと等価となり、pウェルPWに給電できなくなってしまう。

【0052】しかし、本実施の形態1においては、図2に示したように、n<sup>-</sup>形半導体領域11nがp<sup>+</sup>形半導体領域10pbよりも浅い位置に分布しているため、pウェルへの給電が可能になっている。

【0053】図1においてnウェルNWにおいて素子分離部2に囲まれた領域には、nウェルNWに所定の電圧を供給するためのnウェル給電領域10nが形成されている。

【0054】nウェル給電領域10nは、不純物濃度の低いn<sup>-</sup>形半導体領域10naと、不純物濃度の高いn<sup>+</sup>形半導体領域10nbと、p<sup>-</sup>形半導体領域11pとを有している。

【0055】n<sup>-</sup>形半導体領域10naおよびn<sup>+</sup>形半導体領域10nbには、例えばn形不純物のリンまたはAsが含有されている。また、p<sup>-</sup>形半導体領域11pには、例えばp形不純物のホウ素が含有されている。

【0056】なお、nウェル供給領域10nは、半導体基板1上の層間絶縁膜5aに穿孔された接続孔6を通じて電極7dと電気的に接続されている。電極7dは、例えばWの単体膜またはTi/TiN/Wの積層膜からなる。

【0057】このn<sup>-</sup>形半導体領域10naと、n<sup>+</sup>形半導体領域10nbと、p<sup>-</sup>形半導体領域11pとは、後述するように、上記したnMOS3nのn<sup>-</sup>形半導体領域3n1aと、n<sup>+</sup>形半導体領域3n1bと、p<sup>-</sup>形半導体領域4pとを形成するためのイオン注入時に同一マスクで同時に形成されている。

【0058】このnウェル給電領域10nの半導体領域の分布を図2に示す。n<sup>-</sup>形半導体領域10naは、最も深い位置まで分布している。n<sup>+</sup>形半導体領域10nbは、n<sup>-</sup>形半導体領域10naよりも浅い位置まで分布している。また、p<sup>-</sup>形半導体領域11pは、n<sup>+</sup>形半導体領域10nbよりも浅い位置に分布している。

【0059】ところで、上記したpウェル給電領域10pと同様に、本発明者が検討した図3の技術の場合は、p<sup>-</sup>形半導体領域11pがn<sup>-</sup>形半導体領域10naおよびn<sup>+</sup>形半導体領域10nbよりも深い位置に分布し、nウェルNWに一部重なるように形成されている。この場合は、n<sup>+</sup>形半導体領域10nbとnウェルNWとの間に絶縁層が形成されるのと等価となり、nウェルNWに給電できなくなってしまう。

【0060】しかし、本実施の形態1においては、図2に示したように、p<sup>-</sup>形半導体領域11pがn<sup>+</sup>形半導体領域10pbよりも浅い位置に分布しているため、nウェルへの給電が可能になっている。

【0061】次に、本実施の形態1の半導体集積回路装置の製造方法を図4～図11によって説明する。

【0062】図4は本実施の形態1の半導体集積回路装置の製造工程中における要部断面図である。半導体基板1は、例えばp形のSi単結晶からなり、その上部には、pウェルPWおよびnウェルNWが既に形成されている。

【0063】また、半導体基板1の上部には、素子分離部2が形成されている。この素子分離部2は、半導体基板1に形成された溝2a内に、例えばSiO<sub>2</sub>等からなる絶縁膜2bが埋め込まれて形成されている。

【0064】この素子分離部2は、例えば次のようにして形成されている。まず、半導体基板1の素子分離領域に、例えばフォトリソグラフィ技術およびドライエッチング技術によって溝2aを形成する。

【0065】続いて、溝2aを形成した後の半導体基板1上に、例えばSiO<sub>2</sub>からなる絶縁膜をCVD法によって堆積した後、その半導体基板1の主面をCMP (Chemical Mechanical Polishing) 技術によって平坦にする。これにより、溝2a内に絶縁膜2bが残るようにして素子分離部2を形成する。この平坦処理に際しては、半導体基板1の主面と素子分離部2の上面との高さが一致するように完全に平坦にする。

【0066】素子分離部2に囲まれたpウェルPW上には、ゲート絶縁膜3niを介してゲート電極3ngが形成されている。ゲート絶縁膜3niは、例えばSiO<sub>2</sub>からなり、ゲート電極3ngは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。なお、ゲート電極3ngの上面および側面には、例えばSiO<sub>2</sub>等からなるキャップ絶縁膜8およびサイドウォール9が形成されている。

【0067】また、素子分離部2に囲まれたnウェルN

W上には、ゲート絶縁膜3 p iを介してゲート電極3 p gが形成されている。ゲート絶縁膜3 p iは、例えばS i O<sub>2</sub> からなり、ゲート電極3 p gは、例えば低抵抗ポリシリコン上にタングステンシリサイド等からなるシリサイド膜が堆積されてなる。なお、ゲート電極3 p gの上面および側面には、例えばS i O<sub>2</sub> 等からなるキャップ絶縁膜8およびサイドウォール9が形成されている。

【0068】このようなゲート絶縁膜3 n i、3 p i、ゲート電極3 n g、3 p g、キャップ絶縁膜8およびサイドウォール9は、例えば次のように形成されている。

【0069】まず、素子分離部2を形成した後の半導体基板1に対して熱酸化処理を施すことにより、p ウェルPWおよびn ウェルNW上にゲート絶縁膜3 n i、3 p iを形成する。

【0070】続いて、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法等によって堆積した後、その導体膜上に、例えばタングステンシリサイド等からなる導体膜をCVD法等によって堆積し、さらに、その導体膜上に、例えばS i O<sub>2</sub> 等からなる絶縁膜をCVD法等によって堆積する。

【0071】その後、その絶縁膜およびその下層の2層の導体膜をフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、ゲート電極3 n g、3 p gおよびキャップ絶縁膜8を形成する。

【0072】その後、半導体基板1上に、例えばS i O<sub>2</sub> 等からなる絶縁膜をCVD法等によって堆積した後、その絶縁膜をエッチバック（異方性エッチング）することにより、ゲート電極3 n g、3 p gおよびキャップ絶縁膜8の側面にサイドウォール9を形成する。

【0073】次いで、図5に示すように、半導体基板1上に、PMOS形成領域およびp ウェル給電領域を覆いn MOS形成領域およびn ウェル給電領域が露出するようなフォトレジスト（第1マスク）12 aをフォトリソグラフィ技術によって形成する。

【0074】続いて、そのフォトレジスト12 aをマスクとして、半導体基板1に、例えばp 形不純物のホウ素をイオン注入法等によって注入する。これは、n MOSの短チャネル抑制用のp<sup>-</sup> 形半導体領域4 pを形成するための工程である。

【0075】この際、その不純物イオンの入射角度を斜めとして4方向以上の方向から注入する。これにより、n MOS形成領域においては、不純物をゲート電極3 n g端部の下層にもぐり込むように導入できるとともに、n ウェル給電領域においては、p<sup>-</sup> 形半導体領域11 pの深さを比較的浅くすることが可能となっている。

【0076】なお、本実施の形態1では、半導体基板1の主面に対する不純物イオンの入射角度が比較的なだらかなるようになっている。また、この段階では、不純物を活性化するための熱処理を行っていないので半導体領

域4 p、11 pは形成されていないが、説明を分かり易くするために図示する。

【0077】その後、図6に示すように、p<sup>-</sup> 形半導体領域4 p、11 p形成用の不純物導入時に用いたフォトレジスト12 aをマスクとして、半導体基板1に、例えばn 形不純物のリンまたはAsをイオン注入法等によって注入する。これは、n MOSのn<sup>-</sup> 形半導体領域3 n1 aおよびn ウェル給電領域のn<sup>-</sup> 形半導体領域10 n aを形成するための工程である。

【0078】この際、その不純物イオンの入射角度を斜めとして4方向以上の方向から注入する。ただし、この際には、n MOS形成領域において上記したp<sup>-</sup> 形半導体領域4 pよりも、ゲート電極3 n g端部下層へのもぐり込み量が小さくなるように、例えば半導体基板1の主面に対する不純物の入射角度を上記したp<sup>-</sup> 形半導体領域4 pの際の不純物の入射角度よりも大にした状態で不純物イオンを注入する。

【0079】これにより、n MOS形成領域においては、n<sup>-</sup> 形半導体領域3 n1 aのチャネル側端部にp<sup>-</sup> 形半導体領域4 pが残るようにすることができるとともに、n ウェル給電領域においては、n<sup>-</sup> 形半導体領域10 n aをp<sup>-</sup> 形半導体領域11 pよりも深く形成することが可能となっている。

【0080】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4 p、11 p、3 n1 a、10 n aは形成されていないが、説明を分かり易くするために図示する。

【0081】その後、図7に示すように、フォトレジスト12 aをマスクとして、半導体基板1に、例えばn 形不純物のリンまたはAsをイオン注入法等によって注入する。これは、n MOSのn<sup>+</sup> 形半導体領域3 n1 bおよびn ウェル給電領域のn<sup>+</sup> 形半導体領域10 n bを形成するための工程である。ただし、この際、その不純物イオンの入射角度を半導体基板1の主面に対して垂直にする。なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4 p、11 p、3 n1 a、3 n1 b、10 n a、10 n bは形成されていないが、説明を分かり易くするために図示する。

【0082】このように本実施の形態1においては、n MOS 3 nが必要とするn 形半導体領域3 n1、p<sup>-</sup> 形半導体領域4 pおよびn ウェル給電領域10 nを同一のフォトレジストマスクを用いたイオン注入方法によって形成することができる。

【0083】次いで、フォトレジスト12 aを除去した後、図8に示すように、半導体基板1上に、n MOS形成領域およびn ウェル給電領域を覆いp MOS形成領域およびp ウェル給電領域が露出するようなフォトレジスト（第2マスク）12 bをフォトリソグラフィ技術によって形成する。

【0084】続いて、そのフォトレジスト12 bをマス



クとして、半導体基板1に、例えばn形不純物のリンまたはAsをイオン注入法等によって注入する。これは、pMOSの短チャネル抑制用のn<sup>-</sup>形半導体領域4nを形成するための工程である。

【0085】この際、その不純物イオンの入射角度を斜めとして4方向以上の方向から注入する。これにより、pMOS形成領域においては、不純物をゲート電極3pg端部の下層にもぐり込むように導入できるとともに、pウエル給電領域においては、n<sup>-</sup>形半導体領域11nの深さを比較的浅くすることが可能となっている。

【0086】なお、本実施の形態1では、半導体基板1の主面に対する不純物イオンの入射角度が比較的なだらかとなるようにしている。また、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 4n, 11p, 11n, 3n1a, 3n1b, 10na, 10nbは形成されていないが、説明を分かり易くするために図示する。

【0087】その後、図9に示すように、フォトリソスト12bをマスクとして、半導体基板1に、例えばp形不純物のホウ素をイオン注入法等によって注入する。これは、pMOSのp<sup>-</sup>形半導体領域3p1aおよびpウエル給電領域のp<sup>-</sup>形半導体領域10paを形成するための工程である。

【0088】この際、その不純物イオンの入射角度を斜めとして4方向以上の方向から注入する。ただし、この際には、pMOS形成領域において上記したn<sup>-</sup>形半導体領域4nよりも、ゲート電極3pg端部下層へのもぐり込み量が小さくなるように、例えば半導体基板1の主面に対する不純物の入射角度を上記したn<sup>-</sup>形半導体領域4nの際の不純物の入射角度よりも大にした状態で不純物イオンを注入する。

【0089】これにより、pMOS形成領域においては、p<sup>-</sup>形半導体領域3p1aのチャネル側端部にn<sup>-</sup>形半導体領域4nが残るようにすることができるとともに、pウエル給電領域においては、p<sup>-</sup>形半導体領域10paをn<sup>-</sup>形半導体領域11nよりも深く形成することが可能となっている。

【0090】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 4n, 11p, 11n, 3n1a, 3n1b, 3p1a, 10na, 10nb, 10paは形成されていないが、説明を分かり易くするために図示する。

【0091】その後、図10に示すように、フォトリソスト12bをマスクとして、半導体基板1に、例えばp形不純物のホウ素をイオン注入法等によって注入する。これは、pMOSのp<sup>+</sup>形半導体領域3p1bおよびpウエル給電領域のp<sup>+</sup>形半導体領域10pbを形成するための工程である。ただし、この際、その不純物イオンの入射角度を半導体基板1の主面に対して垂直にする。

【0092】なお、この段階では、不純物を活性化する

ための熱処理を行っていないので半導体領域4p, 4n, 11p, 11n, 3n1a, 3n1b, 3p1a, 3p1b, 10na, 10nb, 10pa, 10pbは形成されていないが、説明を分かり易くするために図示する。

【0093】このように本実施の形態1においては、pMOS3pが必要とするp形半導体領域3p1、n<sup>-</sup>形半導体領域4nおよびpウエル給電領域10pを同一のフォトリソストマスクを用いたイオン注入方法によって形成することができる。

【0094】次いで、図11に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5aをCVD法等によって堆積した後、その層間絶縁膜5aにnMOS3nのn形半導体領域3n1、pMOS3pのp形半導体領域3p1、nウエル給電領域10nおよびpウエル給電領域10pが露出するような接続孔6をフォトリソグラフィ技術およびドライエッチング技術等によって穿孔する。

【0095】その後、半導体基板1上に、例えばWの単体膜またはTi/TiN/Wの積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってバターンニングすることにより、電極7a~7dを形成する。ここで、pウエルPWには、電極7cにより第1の電源電位（例えばVss）が印加され、nウエルNWには、電極7dにより、第2の電源電位（例えばVdd）が印加される。

【0096】以降は、通常の半導体集積回路装置の配線形成工程によって形成すれば良いので説明を省略する。

【0097】このように、本実施の形態1においては、以下の効果を得ることが可能となる。

【0098】(1).nMOS3nのn<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1b、短チャネル効果抑制用のp<sup>-</sup>形半導体領域4pおよびnウエル給電領域10nを同一のフォトリソスト12aをマスクにしたイオン注入工程によって形成することにより、フォトマスクの枚数を低減することが可能となる。

【0099】(2).pMOS3pのp<sup>-</sup>形半導体領域3p1a、p<sup>+</sup>形半導体領域3p1b、短チャネル効果抑制用のn<sup>-</sup>形半導体領域4nおよびpウエル給電領域10pを同一のフォトリソスト12bをマスクにしたイオン注入工程によって形成することにより、フォトマスクの枚数を低減することが可能となる。

【0100】(3).上記(1)および(2)により、フォトマスクの枚数を大幅に低減することができるので、半導体集積回路装置の製造コストを大幅に低減することが可能となる。

【0101】(4).nMOS3nのn<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1b、短チャネル効果抑制用のp<sup>-</sup>形半導体領域4pおよびnウエル給電領域10



nを同一のフォトリソスト12aをマスクにしたイオン注入工程によって形成することにより、フォトリソスト膜の塗布、露光および現像等の一連の工程を低減することが可能となる。

【0102】(5).pMOS3pのp<sup>-</sup>形半導体領域3p1a、p<sup>+</sup>形半導体領域3p1b、短チャネル効果抑制用のn<sup>-</sup>形半導体領域4nおよびpウェル給電領域10pを同一のフォトリソスト12bをマスクにしたイオン注入工程によって形成することにより、フォトリソスト膜の塗布、露光および現像等の一連の工程を低減することが可能となる。

【0103】(6).上記(4)および(5)により、半導体集積回路装置の製造工程における異物の付着率を低減することができるので、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0104】(7).上記(4)および(5)により、フォトリソスト膜の塗布、露光および現像等の一連の工程を大幅に低減することができるので、nMOS3nおよびpMOS3pを同一の半導体基板1上に有する半導体集積回路装置の製造時間を短縮することが可能となる。

【0105】(8).nMOS3nおよびpMOS3pの短チャネル効果を抑制することが可能となる。

【0106】(9).nMOS3nおよびpMOS3pの電流駆動能力を向上させることが可能となる。

【0107】(10).上記(4)および(5)により、半導体集積回路装置の製造工程の大幅な増加を招くことなく、短チャネル効果に対する抑制機能を有するnMOS3nおよびpMOS3pを同一の半導体基板1上に形成することが可能となる。

【0108】(実施の形態2)図12は本発明の他の実施の形態である半導体集積回路装置の要部断面図、図13～図16は図12の半導体集積回路装置の製造工程における要部断面図である。

【0109】図12に示す本実施の形態2の半導体集積回路装置は、例えばDRAM(Dynamic Random Access Memory)であり、図12の左側は周辺回路領域Pを示し、図12の右側はメモリセル領域Mを示している。

【0110】周辺回路領域Pは前記実施の形態1と同じなので説明を省略する。したがって、ここではメモリセル領域Mについて説明する。

【0111】メモリセル領域Mにおける半導体基板1の上部には、pウェルPWが形成されている。このpウェルPWは、例えば周辺回路領域PのpウェルPWと同時に形成されており、例えばp形不純物のホウ素が導入されている。

【0112】このpウェルPW上には、メモリセルMCが形成されている。このメモリセルMCは、1つのメモリセル選択MOS・FET(以下、選択MOSという)13と1つのキャパシタ(容量素子)14とから構成されている。

【0113】選択MOS13は、例えばnチャネル形のMOS・FETからなり、半導体基板1の上部に互いに離間して形成された一対の半導体領域13n1a、13n1bと、半導体基板1上に形成されたゲート絶縁膜13niと、その上に形成されたゲート電極13ngとを有している。

【0114】半導体領域13n1a、13n1bは、選択MOS13のソース領域およびドレイン領域を形成するための領域であり、この半導体領域13n1a、13n1bには、例えばn形不純物のリンまたはヒ素(As)が導入されている。

【0115】半導体領域13n1aは、半導体領域13n1a1と、その内側に形成された不純物濃度の高い半導体領域13n1a2とで構成され、半導体領域13n1bは、半導体領域13n1b1と、その内側に形成された不純物濃度の高い半導体領域13n1b2とで構成されている。なお、この半導体領域13n1a、13n1bの間に選択MOS13のチャネル領域が形成されている。

【0116】ゲート絶縁膜13niは、例えばSiO<sub>2</sub>からなる。また、ゲート電極13ngは、例えば低抵抗ポリシリコン膜からなる導体膜上に、例えばタングステンシリサイド(WSi<sub>2</sub>)からなる導体膜が堆積されて形成されている。この上層の導体膜により、ゲート電極13ngの低抵抗化を図っている。ただし、ゲート電極13ngは、低抵抗ポリシリコンの単体膜で形成しても良い、タングステン等のような所定の金属でも良い。

【0117】このゲート電極13ngは、ワード線WLの一部でもある。ワード線WLは、選択MOS13のしきい値電圧を得るために必要な一定の幅を有している。

【0118】このゲート電極13ng(ワード線WL)の上面および側面は、キャップ絶縁膜15およびサイドウォール16によって被覆されている。本実施の形態2においては、キャップ絶縁膜15およびサイドウォール16が、例えば窒化シリコンからなる。これらのキャップ絶縁膜15およびサイドウォール16は、層間絶縁膜5aによって被覆されている。

【0119】メモリセル領域Mには、半導体基板1の上層部の半導体領域13n1a、13n1bが露出するような接続孔17a、17bが形成されている。

【0120】キャップ絶縁膜15およびサイドウォール16は、接続孔17a、17bを形成する際にエッチングストッパとして機能し、互いに隣接するワード線WL間に接続孔17a、17bを自己整合的に形成するための膜として機能している。

【0121】このため、例えば接続孔17a、17bがワード線WLの幅方向に多少ずれたとしても、キャップ絶縁膜15およびサイドウォール16がエッチングストッパとして機能するので、その接続孔17a、17bからワード線WLの一部が露出するようなこともない。し

たがって、接続孔17a, 17bのワード線WLに対する位置合わせ余裕を小さくすることができる。

【0122】なお、接続孔17a, 17bがワード線WLの長手方向にずれたとしても、ここでは層間絶縁膜の厚さがある程度確保されているので、接続孔17a, 17bから半導体基板1の上面が露出することもない。

【0123】接続孔17a, 17b内には、例えば低抵抗ポリシリコンからなる導体膜18が埋め込まれている。

【0124】層間絶縁膜5a上には、ビット線BLが形成されている。このビット線BLは、例えばWの単体膜またはTi/TiN/Wの積層膜からなり、接続孔17a, 19を介して半導体領域13n1aと電気的に接続されている。このビット線BLは、上記したワード線WLと直交するように配置されている。

【0125】このビット線BLの上層には、例えば円筒形のキャパシタ14が形成されている。すなわち、本実施の形態1のDRAMは、ビット線BLの上層にキャパシタ14を設ける構造となっている。このキャパシタ14は、第1電極14a表面にキャパシタ絶縁膜14bを介して第2電極14cが被覆され構成されている。

【0126】第1電極14aは、例えば低抵抗ポリシリコンからなり、層間絶縁膜5bの接続孔20および接続孔17b内に埋め込まれた導体膜18を通じて選択MOS13の一方の半導体領域13n1aと電気的に接続されている。

【0127】キャパシタ絶縁膜14bは、例えば窒化シリコン膜上にSiO<sub>2</sub>膜が堆積されて形成されている。また、第2電極14cは、例えば低抵抗ポリシリコンからなり、所定の配線と電気的に接続されている。

【0128】一方、メモリセル領域Mにおいて素子分離部2に囲まれた領域にも、pウエルPWに所定の電圧を供給するためのpウエル給電領域10p'が形成されている。

【0129】pウエル給電領域10p'は、不純物濃度の低いp<sup>-</sup>形半導体領域10paと、不純物濃度の高いp<sup>+</sup>形半導体領域10pbと、n<sup>-</sup>形半導体領域11nとを有している。

【0130】p<sup>-</sup>形半導体領域10paおよびp<sup>+</sup>形半導体領域10pbには、例えばp形不純物のホウ素が含有されている。また、n<sup>-</sup>形半導体領域11bには、例えばn形不純物のリンまたはAsが含有されている。

【0131】なお、pウエル給電領域10p'は、半導体基板1上の層間絶縁膜5aに穿孔された接続孔6を通じて電極7eと電気的に接続されている。メモリセルが形成されたpウエルPWには、第1電源電位（例えばV<sub>ss</sub>）又は第3電源電位（例えばV<sub>bb</sub>=−2V）が印加される。電極7eは、例えばWの単体膜またはTi/TiN/Wの積層膜からなる。

【0132】このp<sup>-</sup>形半導体領域10paと、p<sup>+</sup>形

半導体領域10pbと、n<sup>-</sup>形半導体領域11nとは、後述するように、上記したnMOS3nのp<sup>-</sup>形半導体領域3p1aと、p<sup>+</sup>形半導体領域3p1bと、n<sup>-</sup>形半導体領域4nとを形成するためのイオン注入時に同一マスクで同時に形成されている。

【0133】次に、本実施の形態2の半導体集積回路装置の製造方法を図13～図16によって説明する。

【0134】図13は本実施の形態2における半導体集積回路装置の製造工程中の要部断面図を示している。半導体基板1には、pウエルPW、nウエルNW、素子分離部2、ゲート電極3ng, 3pg, 13ngおよびキャップ絶縁膜8, 15が形成されている。

【0135】このような半導体基板1に対して、メモリセルの選択MOS用の半導体領域13n1a, 13n1b1を形成するために、例えばn形不純物のリンまたはAsをイオン注入法等によって注入する。この際の不純物のドーズ量は、例えば2×10<sup>13</sup>個/cm<sup>2</sup>程度である。この不純物注入工程は、半導体基板1の主面全面にマスク無しでイオン注入する。したがって、このn形不純物はメモリセル領域以外の周辺回路領域P（pMOS領域やpウエル給電領域を含む）にも注入される。この周辺回路領域Pおよびメモリセル領域Mのpウエル給電領域では、この不純物注入工程で形成される半導体領域をn<sup>-</sup>形の半導体領域13n1で示す。なお、この段階では、不純物を活性化するための熱処理を行っていないのでn<sup>-</sup>形の半導体領域13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0136】続いて、半導体基板1上に、例えばSiO<sub>2</sub>等からなる絶縁膜をCVD法等によって堆積した後、その絶縁膜をエッチバック（異方性エッチング）することにより、図14に示すように、ゲート電極3ng, 3pg, 13ngの側面にサイドウォール9, 16を形成する。なお、この段階では、不純物を活性化するための熱処理を行っていないのでn<sup>-</sup>形の半導体領域13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0137】その後、図15に示すように、半導体基板1上に、周辺回路領域PにおけるnMOS形成領域およびnウエル給電領域10nを露出し、pMOS形成領域、pウエル給電領域10pおよびメモリセル領域M（メモリセルのpウエル給電領域10p'を含む）を被覆するようなフォトリソグラフィ技術によって形成する。

【0138】次いで、そのフォトリソグラフィ技術によって形成したマスクとして、前記実施の形態1と同様に不純物イオンを注入することにより、周辺回路領域PにおけるnMOS3nのn<sup>-</sup>形半導体領域3n1a、短チャネル抑制用のp<sup>-</sup>形半導体領域4p、n<sup>+</sup>形半導体領域3n1bおよびnウエル給電領域10nを形成するための不純物導入工

10

20

30

40

50



程を行う。

【0139】すなわち、フォトレジスト12cをマスクとして、例えば $p^-$ 形半導体領域4p, 11p形成用の $p$ 形不純物のホウ素等を半導体基板1の主面に対して斜め方向からイオン注入する。この際のドーズ量は、例えば $4 \times 10^{12}$ 個/ $\text{cm}^2$ 程度である。続いて、同じフォトレジスト12cをマスクとして、例えば $n^-$ 形半導体領域3n1a, 10na形成用の $n$ 形不純物のリンまたはAsを半導体基板1の主面に対して斜めに、かつ、 $p^-$ 形半導体領域4p形成用の $p$ 形不純物注入時の注入角度と同じにして打ち込む。この際のドーズ量は、例えば $1 \times 10^{14}$ 個/ $\text{cm}^2$ 程度である。その後、同じフォトレジスト12cをマスクとして、 $n^+$ 形半導体領域3n1b, 10nb形成用の $n$ 形不純物のリンまたはAsを半導体基板1の主面に対して垂直にイオン注入する。この際のドーズ量は、例えば $3 \times 10^{15}$ 個/ $\text{cm}^2$ 程度である。 $n^+$ 形半導体領域3n1b, 10nb形成用の $n$ 形不純物は $n^+$ 形半導体領域3n1b, 10nbが $n$ ウェルNWと接するように深くイオン打ち込みする。

【0140】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nb, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0141】この際、メモリセル領域Mには、フォトレジスト12cが被覆されているので、 $n^-$ 形半導体領域3n1a、 $n^+$ 形半導体領域3n1bおよび $n$ ウェル給電領域10nを形成するための不純物が注入されない。このため、メモリセル領域Mにおいて接合電界が増加せず、欠陥も形成されないため、接合リークが増加せず、リフレッシュ特性の劣化を抑制することが可能となっている。

【0142】また、 $n^-$ 形半導体領域3n1a、 $n^+$ 形半導体領域3n1bおよび $n$ ウェル給電領域10nを同一のフォトレジスト12cをマスクにしたイオン注入工程によって形成することにより、フォトマスクの枚数を低減することができ、フォトレジスト膜の塗布、露光および現像等の一連の工程を低減することが可能となる。

【0143】続いて、そのフォトレジスト12cを除去した後、図16に示すように、半導体基板1上に、周辺回路領域Pの $p$ ウェル給電領域10p、 $p$ MOS形成領域およびメモリセル領域Mの $p$ ウェル給電領域10p'を露出させ、周辺回路領域Pにおける $n$ MOS形成領域、 $n$ ウェル給電領域10nおよびメモリセル領域Mを被覆するようなフォトレジスト（第2マスク）12dをフォトリソグラフィ技術によって形成する。

【0144】その後、そのフォトレジスト12dをマスクとして、前記実施の形態1と同様に不純物イオンを注入することにより、周辺回路領域Pにおける $p$ MOS 3pの $p^-$ 形半導体領域3p1a、 $p^+$ 形半導体領域3p

1b、短チャネル抑制用の $n^-$ 形半導体領域4nおよび $p$ ウェル給電領域10pの半導体領域を形成するための不純物の導入工程を行う。

【0145】すなわち、フォトレジスト12dをマスクとして、例えば $n^-$ 形半導体領域4n, 11n形成用の $n$ 形不純物のリンまたはAs等を半導体基板1の主面に対して斜め方向からイオン注入する。この際のドーズ量は、例えば $3 \times 10^{12}$ 個/ $\text{cm}^2$ 程度である。続いて、同じフォトレジスト12dをマスクとして、例えば $p^-$ 形半導体領域3p1a, 10pa形成用の $p$ 形不純物のホウ素を半導体基板1の主面に対して斜めに、かつ、 $n^-$ 形半導体領域4n形成用の $n$ 形不純物注入時の注入角度と同じにして打ち込む。この際のドーズ量は、例えば $3 \times 10^{13}$ 個/ $\text{cm}^2$ 程度である。このドーズ量は、メモリセル選択用MOSのソース・ドレインとなる半導体領域13n1a1, 13n1b1を形成するための $n$ 形不純物のドーズ量よりも大であり、 $p$ 形不純物とこの $n$ 形不純物の差分が $p^-$ 形半導体領域3p1a, 10paの濃度となる。その後、同じフォトレジスト12dをマスクとして、 $p^+$ 形半導体領域3p1b, 10pb形成用の $p$ 形不純物のホウ素を半導体基板1の主面に対して垂直にイオン注入する。この際のドーズ量は、例えば $3 \times 10^{15}$ 個/ $\text{cm}^2$ 程度である。 $p^+$ 形半導体領域3p1b, 10pa形成の $p$ 形不純物は、 $p^+$ 形半導体領域3p1b, 10paが $p$ ウェルPWと接するように深くイオン打ち込みする。

【0146】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nb, 4n, 11n, 3p1a, 3p1b, 10pa, 10pb, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0147】この際、メモリセル領域Mには、フォトレジスト12dが被覆されているので、 $p^-$ 形半導体領域3p1a、 $p^+$ 形半導体領域3p1bおよび $p$ ウェル給電領域10pを形成するための不純物が注入されない。

【0148】また、 $p^-$ 形半導体領域3p1a、 $p^+$ 形半導体領域3p1bおよび $p$ ウェル給電領域10pを同一のフォトレジスト12dをマスクにしたイオン注入工程によって形成することにより、フォトマスクの枚数を低減することができ、フォトレジスト膜の塗布、露光および現像等の一連の工程を低減することが可能となる。

【0149】次いで、フォトレジスト12dを除去し、半導体基板1に対して熱処理を施して半導体基板1に注入した不純物の活性化および拡散処理を施した後、図12に示したように、メモリセル領域Mにおけるサイドウォール16をエッチングストップとして接続孔17a, 17bをフォトリソグラフィ技術およびドライエッチング技術によって穿孔し、さらに、その接続孔17a, 17b内に導体膜18を埋め込む。

【0150】続いて、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5aをCVD法等によって堆積した後、その一部に接続孔6, 19をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0151】その後、層間絶縁膜5a上に、例えばWの単体膜またはTi/TiN/Wの積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより電極7a~7eおよびビット線BLを形成する。

【0152】その後、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜をCVD法等によって堆積した後、通常のDRAMの形成方法によってキャパシタ14を形成する。

【0153】このように本実施の形態2によれば、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能となる。

【0154】(1).nMOS 3nのn<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1b、nウエル給電領域10n、および短チャネル効果抑制用のp<sup>-</sup>形半導体領域4pを形成するための不純物イオンが、メモリセル領域Mには注入されないため、メモリセル領域Mにおいて接合電界が増加せず、欠陥も形成されないため、接合リークが増加せず、リフレッシュ特性の劣化を抑制することが可能となる。

【0155】(2).メモリセル選択用MOSのソース・ドレインとなる半導体領域13n1a1, 13n1b1を形成するためのイオン打ち込みをフォトリソマスクを使用せずに行うことにより、製造工程数を低減できる。

【0156】(実施の形態3) 図17は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【0157】図17は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図を示している。半導体基板1には、pウエルPW、nウエルNW、素子分離部2、ゲート電極3ng, 3pg, 13ng、キャップ絶縁膜8, 15およびサイドウォール9, 16が既に形成されている。

【0158】このような半導体基板1に対して、メモリセルの選択MOS用の半導体領域13n1a1, 13n1b1を形成するため、例えばn形不純物のリンまたはAsをイオン注入法等によって注入する。ドーズ量は $2 \times 10^{13} \text{ cm}^{-2}$ とする。

【0159】この不純物注入工程は、半導体基板1の主面全面にマスク無しでイオン注入する。したがって、このn形不純物はメモリセル領域以外の周辺回路領域P (pMOS領域やpウエル給電領域を含む) にも注入される。この周辺回路領域Pおよびメモリセル領域Mのpウエル給電領域では、この不純物注入工程で形成される半導体領域をn<sup>-</sup>形の半導体領域13n1で示す。な

お、この段階では、不純物を活性化するための熱処理を行っていないのでn<sup>-</sup>形の半導体領域13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0160】このように、本実施の形態3においては、メモリセルの選択MOS用の半導体領域13n1a1, 13n1b1を形成するための不純物イオンの注入をサイドウォール9, 16を形成した後に行う。

【0161】この場合にサイドウォール9, 16は、その後の熱処理により半導体領域13n1a1, 13n1b1の不純物が拡散することによりパンチスルーが生じないような幅を持つように形成し、かつ、その後の熱処理後にその半導体領域13n1a1, 13n1b1がゲート電極13ngの端部から離れてしまわないような幅を持つように形成しておく。

【0162】続いて、図18に示すように、半導体基板1上に、周辺回路領域PにおけるnMOS形成領域、nウエル給電領域10nを露出し、周辺回路領域PにおけるpMOS形成領域、pウエル給電領域10pおよびメモリセル領域M (pウエル給電領域10p'を含む) を被覆するようなフォトリソマスク (第1マスク) 12eをフォトリソグラフィ技術によって形成する。

【0163】次いで、そのフォトリソマスク12eをマスクとして、前記実施の形態1と同様に不純物イオンを注入することにより、周辺回路領域PにおけるnMOS 3nのn形半導体領域3n1 (n<sup>-</sup>形半導体領域3n1a, n<sup>+</sup>形半導体領域3n1b)、短チャネル抑制用のp<sup>-</sup>形半導体領域4pおよびnウエル給電領域10nを形成するための不純物導入工程を行う。

【0164】すなわち、フォトリソマスク12eをマスクとして、例えばp<sup>-</sup>形半導体領域4p, 11p形成用のp形不純物のホウ素等を半導体基板1の主面に対して斜め方向からイオン注入する。この際のドーズ量は、例えば $4 \times 10^{12} \text{ 個/cm}^2$ 程度である。

【0165】続いて、同じフォトリソマスク12eをマスクとして、例えばn<sup>-</sup>形半導体領域3n1a, 10na形成用のn形不純物のリンまたはAsを半導体基板1の主面に対して斜めに、かつ、p<sup>-</sup>形半導体領域4p形成用のp形不純物注入時の注入角度と同じにして打ち込む。この際のドーズ量は、例えば $1 \times 10^{14} \text{ 個/cm}^2$ 程度である。この場合でもp形不純物の方がn形不純物よりも拡散係数が大きいためn<sup>-</sup>形半導体領域3n1aのチャネル側端部にp<sup>-</sup>形半導体領域4pを形成できる。

【0166】その後、同じフォトリソマスク12eをマスクとして、n<sup>+</sup>形半導体領域3n1b, 10nb形成用のn形不純物のリンまたはAsを半導体基板1の主面に対して垂直にイオン注入する。この際のドーズ量は、例えば $3 \times 10^{15} \text{ 個/cm}^2$ 程度である。n<sup>+</sup>形半導体領域3n1b, 10nb形成用のn形不純物は、n<sup>+</sup>形半



導体領域3n1b, 10nbがnウエルNWと接するように深くイオン打ち込みする。

【0167】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nb, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0168】この際、メモリセル領域Mには、フォトレジスト12eが被覆されているので、n<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1bおよびnウエル給電領域10nを形成するための不純物が注入されない。このため、メモリセル領域Mにおいて接合電界が増加せず、欠陥も形成されないため、接合リークが増加せず、リフレッシュ特性の劣化を抑制することが可能となっている。

【0169】また、n<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1bおよびnウエル給電領域10nを同一のフォトレジスト12eをマスクにしたイオン注入工程によって形成することにより、フォトマスクの枚数を低減することができ、フォトレジスト膜の塗布、露光および現像等の一連の工程を低減することが可能となる。

【0170】続いて、そのフォトレジスト12eを除去した後、図19に示すように、半導体基板1上に、周辺回路領域PのpMOS形成領域とpウエル給電領域10pとメモリセル領域Mのpウエル給電領域10p'を露出し、周辺回路領域PにおけるnMOS形成領域、nウエル給電領域10nおよびメモリセル領域Mを被覆するようなフォトレジスト(第2マスク)12fをフォトリソグラフィ技術によって形成する。

【0171】その後、そのフォトレジスト12fをマスクとして、前記実施の形態1と同様に不純物イオンを注入することにより、周辺回路領域PにおけるpMOS 3pのp形半導体領域3p1(p<sup>-</sup>形半導体領域3p1a、p<sup>+</sup>形半導体領域3p1b)、短チャネル抑制用のn<sup>-</sup>形半導体領域4nおよびpウエル給電領域10pの半導体領域を形成するための不純物導入工程を行う。

【0172】すなわち、フォトレジスト12fをマスクとして、例えばn<sup>-</sup>形半導体領域4n, 11n形成用のn形不純物のリンまたはAs等を半導体基板1の主面に対して斜め方向からイオン注入する。この際のドーズ量は、例えば $3 \times 10^{12}$ 個/cm<sup>2</sup>程度である。

【0173】続いて、同じフォトレジスト12fをマスクとして、例えばp<sup>-</sup>形半導体領域3p1a, 10pa形成用のp形不純物のホウ素を半導体基板1の主面に対して斜めに、かつ、n<sup>-</sup>形半導体領域4n形成用のn形不純物注入時の注入角度と同じにして打ち込む。この際のドーズ量は、例えば $3 \times 10^{13}$ 個/cm<sup>2</sup>程度である。この場合、p<sup>-</sup>形半導体領域3p1aのチャネル側端部にn<sup>-</sup>形半導体領域4nが残るように、そのp形不純物のイオン打ち込みエネルギーを設定すると良い。こ

れにより、p<sup>-</sup>形半導体領域3p1aのチャネル側端部にn<sup>-</sup>形半導体領域4nを形成できる。

【0174】その後、同じフォトレジスト12dをマスクとして、p<sup>+</sup>形半導体領域3p1b, 10pb形成用のp形不純物のホウ素を半導体基板1の主面に対して垂直にイオン注入する。この際のドーズ量は、例えば $3 \times 10^{15}$ 個/cm<sup>2</sup>程度である。p<sup>+</sup>形半導体領域3p1b, 10paは実施の形態2と同様に、pウエルPWと接するように深く形成する。

【0175】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nb, 4n, 11n, 3p1a, 3p1b, 10pa, 10pb, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0176】この際、メモリセル領域Mには、フォトレジスト12fが被覆されているので、p<sup>-</sup>形半導体領域3p1a、p<sup>+</sup>形半導体領域3p1bおよびpウエル給電領域10pを形成するための不純物が注入されない。

【0177】また、p<sup>-</sup>形半導体領域3p1a、p<sup>+</sup>形半導体領域3p1bおよびpウエル給電領域10pを同一のフォトレジスト12fをマスクにしたイオン注入工程によって形成することにより、フォトマスクの枚数を低減することができ、フォトレジスト膜の塗布、露光および現像等の一連の工程を低減することが可能となる。

【0178】次いで、フォトレジスト12fを除去し、半導体基板1に対して熱処理を施すことにより半導体基板1に注入した不純物の活性化および拡散処理を施した後、図20に示すように、メモリセル領域Mにおけるサイドウォール16をエッチングストップバとして接続孔17a, 17bをフォトリソグラフィ技術およびドライエッチング技術によって穿孔し、さらに、その接続孔17a, 17b内に、例えばn形不純物のリンが含有される低抵抗ポリシリコンからなる導体膜18を埋め込む。その後、熱処理を施すことにより、導体膜18に含有される不純物を半導体基板1に拡散させてn<sup>+</sup>形半導体領域13n1a2, 13n1b2を形成する。

【0179】続いて、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5aをCVD法等によって堆積した後、その一部に接続孔6, 19をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0180】その後、層間絶縁膜5a上に、例えばWの単体膜またはTi/TiN/Wの積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってバターニングすることにより電極7a~7eおよびビット線BLを形成する。

【0181】その後、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜をCVD法等によって堆積した後、通常のDRAMの形成方法によってキャパシタ14



を形成する。

【0182】このように、本実施の形態3においては、前記実施の形態1, 2で得られた効果の他に、以下の効果を得ることが可能となる。

【0183】(1).メモリセルMCの選択MOS13の短チャネル効果を抑制することが可能となる。

【0184】(2).nMOS3nにも打ち込まれてしまう選択MOS13のn<sup>+</sup>形半導体領域13n1a用のn形不純物をサイドウォール9, 16の形成後に注入することにより、サイドウォール9, 16の厚さにばらつきがあるためpMOS3pの特性に影響を与え難い構造とすることが可能となる。

【0185】(実施の形態4)図21～図33は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図、図34～図37は本実施の形態の半導体集積回路装置の各部の不純物濃度分布を説明するための説明図、図38は本実施の形態の半導体集積回路装置のメモリセル領域の要部拡大断面図、図39は図38のメモリセル選択MOS・FETのソース・ドレインの不純物濃度分布を説明するための説明図である。

【0186】図21は本実施の形態4における半導体集積回路装置の製造工程中の要部断面図を示している。半導体基板1には、pウエルPW、nウエルNW、素子分離部2、ゲート電極3ng, 3pg, 13ngおよびキャップ絶縁膜8, 15が形成されている。このゲート電極3ng, 3pg, 13ngは、例えば低抵抗ポリシリコン膜の単体膜、低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を積み重ねてなる、いわゆるポリサイド構造または低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を積み重ねてなる、いわゆるポリメタル構造で構成されている。なお、キャップ絶縁膜8は、例えば窒化シリコンからなる。

【0187】まず、このような半導体基板1に、例えばn形不純物のリンまたはAsをゲート電極3ng, 3pg, 13ngおよびキャップ絶縁膜8, 15をマスクとしてイオン注入法等によって注入する。不純物のドーズ量は、例えば $2 \times 10^{13}$ 個/cm<sup>2</sup>程度である。この不純物注入工程は、メモリセル選択MOS・FET用のn<sup>-</sup>形半導体領域(第10半導体領域)13n1a1, 13n1b1を形成するための工程であり、半導体基板1の主面全面にマスク無しでイオン注入する。したがって、このn形不純物はメモリセル領域以外の周辺回路領域P(pMOS領域やpウエル給電領域を含む)にも注入される。この周辺回路領域Pおよびメモリセル領域Mのpウエル給電領域では、この不純物注入工程で形成される半導体領域をn<sup>-</sup>形の半導体領域13n1で示す。なお、この段階では、不純物を活性化するための熱処理を行っていないのでn<sup>-</sup>形の半導体領域13n1, 13n

1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0188】続いて、半導体基板1上に、例えばSiO<sub>2</sub>または窒化シリコン等からなる絶縁膜をCVD法等によって堆積した後、その絶縁膜を異方性のドライエッチング法等によってエッチバックすることにより、図22に示すように、ゲート電極3ng, 3pg、キャップ絶縁膜8、ゲート電極13ng(ワード線WL)およびキャップ絶縁膜15の側面にサイドウォール9, 16を形成する。

【0189】その後、図23に示すように、半導体基板1上に、周辺回路領域PにおけるnMOS形成領域およびnウエル給電領域10nが露出し、周辺回路領域PにおけるpMOS形成領域、周辺回路領域pおよびメモリセル領域Mにおけるpウエル給電領域10p, 10p2さらにはメモリセル領域Mを被覆するようなフォトリソグロフィ技術によって形成する。

【0190】続いて、前記実施の形態1と同様に、そのフォトリソグロフィ技術によって形成されたフォトリソグロフィマスク12cをマスクとして、例えばp形不純物のホウ素をイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $4 \times 10^{12}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、周辺回路領域PにおけるnMOSの短チャネル抑制用のp<sup>-</sup>形半導体領域(第3半導体領域)4pを形成するための工程である。

【0191】この際、半導体基板1を傾けることにより、その不純物を半導体基板1の主面に対して斜めに注入する。これは、その不純物をゲート電極端に到達させ、かつ、フォトリソグロフィマスク12cおよびゲート電極によるシャドウイング効果を防止するためである。これにより、nMOS形成領域においては不純物をゲート電極3ng端部の下にもぐり込むように導入できるとともに、nウエル給電領域10nにおいてはp<sup>-</sup>形半導体領域(第3半導体領域)11pの深さを比較的浅くすることが可能となっている。その不純物の注入方向は、特限定されないが4方向以上とする。

【0192】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0193】その後、図24に示すように、p<sup>-</sup>形半導体領域4p, 11p形成用の不純物の導入時に用いたフォトリソグロフィマスク12cをマスクとして、半導体基板1に、例えばn形不純物のリンまたはAsをイオン注入法等によって注入する。この不純物のドーズ量は、例えば $1 \times 10^{14}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、nMOSのn<sup>-</sup>形半導体領域(第4半導体領域)3n1aおよびnウエル給電領域のn<sup>-</sup>形半導体領域(第4半導体領域)10naを形成するための工程である。

【0194】この際、そのn形不純物をゲート電極端に到達させ、フォトリソスト12cおよびゲート電極によるシャドウィング効果を防止し、かつ、後述のソース・ドレイン用のn<sup>+</sup>形半導体領域のチャネル形端部に残されるようにすべく、そのn形不純物を半導体基板1の主面に対して斜め方向から注入する。この場合の不純物の注入角度は、上記したp<sup>-</sup>形半導体領域4p, 11pを形成するための不純物の注入角度と同一とする。すなわち、そのn形不純物（低不純物濃度領域）の注入時には、半導体基板1の傾斜角度をp形不純物（短チャネル抑制用）注入時のまま行う。そのn形不純物の注入方向は、特に限定されないが4方向以上とする。

【0195】このようなイオン注入により、nMOS形成領域においては、p形不純物の方がn形不純物よりも拡散係数が大きいためn<sup>-</sup>形半導体領域3n1aのチャネル側端部にp<sup>-</sup>形半導体領域4pを形成することができる。また、nウエル給電領域においては、n<sup>-</sup>形半導体領域10naがp<sup>-</sup>形半導体領域11pよりも浅く形成されるようになる。

【0196】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 10na, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0197】その後、図25に示すように、p<sup>-</sup>形半導体領域4p, 11p形成用の不純物の導入時およびn<sup>-</sup>形半導体領域3n1a, 10na形成用の不純物の導入時に用いたフォトリソスト12cをマスクとして、半導体基板1に、例えばn形不純物のリンまたはAsをイオン注入法等によって注入する。この不純物のドーズ量は、例えば $3 \times 10^{15}$ 個/cm<sup>2</sup>程度である。この不純物注入工程は、nMOSのn<sup>+</sup>形半導体領域（第5半導体領域）3n1bおよびnウエル給電領域のn<sup>+</sup>形半導体領域（第5半導体領域）10nbを形成するための工程である。

【0198】ただし、この際、そのn形不純物を半導体基板1の主面に対して垂直に注入する。また、そのn形不純物を、nウエル給電領域10nのp<sup>-</sup>半導体領域11pよりも深く、かつ、隣接する素子と分離可能な深さにイオン注入する。このようにn形不純物をp<sup>-</sup>半導体領域11pよりも深く打ち込むのは、上記したように、nウエル給電領域10nにおいてはnウエルNWとは逆導電形のp<sup>-</sup>形半導体領域11pがn<sup>-</sup>形半導体領域10naよりも深く形成されており、このままだと良好なウエル接続ができなくなってしまうので、そのn形不純物の導入時には、p<sup>-</sup>半導体領域11pがnウエル給電領域10nに形成されないように、そのn形不純物をp<sup>-</sup>半導体領域11pよりも深く注入する。これにより、良好なウエル接続が可能となる。

【0199】なお、この段階では、不純物を活性化する

ための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nb, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0200】このように本実施の形態4においては、nMOS3nが必要とするn形半導体領域3n1およびp<sup>-</sup>形半導体領域4p、さらにはnウエル給電領域10nを同一のフォトリソストをマスクとしたイオン注入によって形成することができる。したがって、フォトリソスト膜の塗布、露光および現像等の一連のフォトリソグラフィ工程を大幅に低減できる。また、フォトマスクの枚数も低減できる。

【0201】また、メモリセル領域Mには、フォトリソスト12cが被覆されているので、n<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1bおよびnウエル給電領域10nを形成するための不純物が注入されない。このため、メモリセル領域Mにおいて接合電界が増加せず、欠陥も形成されないため、接合リークが増加せず、リフレッシュ特性の劣化を抑制することが可能となっている。

【0202】次いで、フォトリソスト12cを除去した後、図26に示すように、半導体基板1上に、周辺回路領域PにおけるpMOS形成領域およびpウエル給電領域10p、メモリセル領域Mにおけるpウエル給電領域10p'が露出し、周辺回路領域PにおけるnMOS形成領域およびnウエル給電領域10nを被覆するフォトリソスト（第2マスク）12dをフォトリソグラフィ技術によって形成する。

【0203】続いて、前記実施の形態1と同様に、そのフォトリソスト12dをマスクとして、例えばn形不純物のリンまたはAsをイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $3 \times 10^{12}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、周辺回路領域PにおけるpMOSの短チャネル抑制用のn<sup>-</sup>形半導体領域（第6半導体領域）4nを形成するための工程である。

【0204】この際、半導体基板1を傾けることにより、その不純物を半導体基板1の主面に対して斜めに注入する。これは、その不純物をゲート電極端に到達させ、かつ、フォトリソスト12dおよびゲート電極によるシャドウィング効果を防止するためである。これにより、pMOS形成領域においては不純物をゲート電極3pg端部の下層にもぐり込むように導入できるとともに、pウエル給電領域10pにおいてはn<sup>-</sup>形半導体領域（第6半導体領域）11nの深さを比較的浅くすることが可能となっている。その不純物の注入方向は、特限定されないが4方向以上とする。

【0205】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 4n, 11n, 3n1a, 3n1b, 10na, 1

10

20

30

40

50



0nb, 13nl, 13nla1, 13nlb1は形成されていないが、説明を分かり易くするために図示する。

【0206】その後、図27に示すように、 $n^-$ 形半導体領域4n, 11n形成用の不純物の導入時に用いたフォトレジスト12dをマスクとして、半導体基板1に、例えばp形不純物のホウ素をイオン注入法等によって注入する。この不純物のドーズ量は、 $n^-$ 形半導体領域13nlの導電形を打ち消すべく $n^-$ 形半導体領域13nl用の不純物注入時の $n^-$ 形半導体領域13nlのドーズ量より多く、例えば $3 \times 10^{13}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、pMOSの $p^-$ 形半導体領域(第7半導体領域)3plaおよびpウェル給電領域の $p^-$ 形半導体領域(第7半導体領域)10paを形成するための工程である。

【0207】この際、そのp形不純物をゲート電極端に到達させ、フォトレジスト12dおよびゲート電極によるシャドウィング効果を防止し、かつ、後述のソース・ドレイン用の $p^+$ 形半導体領域のチャネル側端部に残されるようにすべく、そのp形不純物を半導体基板1の主面に対して斜め方向から注入する。この場合の不純物の注入角度は、上記した $n^-$ 形半導体領域4n, 11nを形成するための不純物の注入角度と同一とする。すなわち、そのp形不純物(低不純物濃度領域)の注入時には、半導体基板1の傾斜角度を $n^-$ 形不純物(短チャネル抑制用)注入時のまま行う。そのp形不純物の注入方向は、特に限定されないが4方向以上とする。

【0208】ただし、ここでは、pMOS形成領域において、そのp形不純物のゲート電極3pg端部下層へのもぐり込み量が、上記した $n^-$ 形半導体領域4nよりも小さくなるようにイオン打ち込みエネルギーを設定する。したがって、pMOS形成領域においては、 $p^-$ 形半導体領域3plaのチャネル側端部に $n^-$ 形半導体領域4nが残るようにすることができる。また、pウェル給電領域においては、 $p^-$ 形半導体領域10paが $n^-$ 形半導体領域11nよりも浅く形成されるようになる。

【0209】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 4n, 11p, 11n, 3nla, 3nlb, 3pla, 10na, 10nb, 10pa, 13nl, 13nla1, 13nlb1は形成されていないが、説明を分かり易くするために図示する。

【0210】その後、図28に示すように、 $n^-$ 形半導体領域4n, 11n形成用の不純物の導入時および $p^-$ 形半導体領域3pla, 10pa形成用の不純物の導入時に用いたフォトレジスト12dをマスクとして、半導体基板1に、例えばp形不純物のホウ素をイオン注入法等によって注入する。この不純物のドーズ量は、例えば $3 \times 10^{15}$ 個/cm<sup>2</sup>程度である。この不純物注入工程は、pMOS3pの $p^+$ 形半導体領域(第8半導体領域)3plbおよびpウェル給電領域の $p^+$ 形半導体領

域(第8半導体領域)10pbを形成するための工程である。

【0211】ただし、この際、そのp形不純物を半導体基板1の主面に対して垂直に注入する。また、ここでは、そのp形不純物を、pウェル給電領域10pの $n^-$ 半導体領域11nよりも深く、かつ、隣接する素子と分離可能な深さにイオン注入する。このようにp形不純物を $n^-$ 半導体領域11nよりも深く打ち込むのは、上記したように、pウェル給電領域10pにおいてはpウェルPWとは逆導電形の $n^-$ 形半導体領域11nが $p^-$ 形半導体領域10paよりも深く形成されており、このままだと良好なウェル接続ができなくなってしまうので、そのp形不純物の導入時には、 $n^-$ 半導体領域11nがpウェル給電領域10pに形成されないように、そのp形不純物を $n^-$ 半導体領域11nよりも深く注入する。これにより、良好なウェル接続が可能となる。

【0212】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 4n, 11p, 11n, 3nla, 3nlb, 3pla, 3plb, 10na, 10nb, 10pa, 10pb, 13nl, 13nla1, 13nlb1は形成されていないが、説明を分かり易くするために図示する。

【0213】このように本実施の形態4においては、pMOS3pが必要とするp形半導体領域3plおよび $n^-$ 形半導体領域4n、さらにはpウェル給電領域10pを同一のフォトレジストをマスクとしたイオン注入によって形成することができる。したがって、フォトレジスト膜の塗布、露光および現像等の一連のフォトリソグラフィ工程を大幅に低減できる。また、フォトマスクの枚数も低減できる。

【0214】また、メモリセル領域Mには、フォトレジスト12dが被覆されているので、 $p^-$ 形半導体領域3pla、 $p^+$ 形半導体領域3plbおよびpウェル給電領域10pを形成するための不純物が注入されない。このため、メモリセル領域Mにおいて接合電界が増加せず、欠陥も形成されないため、接合リークが増加せず、リフレッシュ特性の劣化を抑制することが可能となっている。

【0215】次いで、フォトレジスト12dを除去した後、半導体基板1に対して熱処理を施すことにより、半導体基板1に導入した不純物の活性化および拡散させて、図29に示すように、nMOS3nを構成する $n^-$ 形半導体領域3nla、 $n^+$ 形半導体領域3nlbおよび $p^-$ 形半導体領域4p、pMOS3pを構成する $p^-$ 形半導体領域3pla、 $p^+$ 形半導体領域3plbおよび $n^-$ 形半導体領域4n、pウェル給電領域10pにおける $p^+$ 形半導体領域10pb、nウェル給電領域10nにおける $n^+$ 形半導体領域10nb、メモリセル領域Mにおける $n^-$ 形半導体領域13nla1, 13nlb1を形成する。

【0216】続いて、図30に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5a1をCVD法によって形成した後、その層間絶縁膜5a1においてメモリセル領域Mにサイドウォール16およびキャップ絶縁膜15をエッチングストッパとして接続孔17a、17bをフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0217】その後、その接続孔17a、17bを通じて、例えばn形不純物のリンまたはAsをイオン注入法等によって半導体基板1に注入する。この不純物導入工程は、メモリセル選択用MOSのソース・ドレインと、pウェルPW間の電界緩和用のn<sup>-</sup>形半導体領域を形成するための不純物の導入工程である。この際、ここでは、その不純物を半導体基板1の主面に対して垂直に、かつ、n<sup>+</sup>形半導体領域13n1a1、13n1b1よりも若干深く、かつ低濃度に打ち込む。

【0218】次いで、半導体基板1上に、例えばリン等のようなn形不純物を含有する低抵抗ポリシリコンをCVD法で堆積した後、これを異方性のドライエッチングまたはCMP（Chemical Mechanical Polishing）技術によってエッチバックすることにより、図31に示すように、その接続孔17a、17b内に、例えばリン等のようなn形不純物を含有する低抵抗ポリシリコンからなる導体膜18を埋め込む。そして、その半導体基板1に対して熱処理を施す。これにより、上記イオン注入によって半導体基板1に注入したn形不純物を活性化および拡散させて電界緩和用のn<sup>-</sup>形半導体領域（第11半導体領域）13n1a3、13n1b3を形成するとともに、導体膜18中のn形不純物のリンを半導体基板1側に拡散させてn<sup>+</sup>形半導体領域（第12半導体領域）13n1a2、13n1b2を形成する。これにより、選択MOS13を形成する。

【0219】ただし、導体膜18の形成方法としては、これに限定されるものではなく、例えば次のようにしても良い。まず、接続孔17a、17bを穿孔した後、半導体基板1上にノンドープのポリシリコンをCVD法によって堆積した後、その上部を上記と同様にエッチバックすることにより接続孔17a、17b内にノンドープのポリシリコン膜を埋め込む。続いて、例えばリンまたはAs等のようなn形不純物をノンドープのポリシリコン膜にイオン注入法によって打ち込む。その後、熱処理によってノンドープのポリシリコン膜に注入した不純物を活性化させて導体膜18を形成する。

【0220】続いて、図32に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5a2をCVD法等によって形成した後、層間絶縁膜5a（5a1、5a2）の一部に、半導体基板1の主面に達する接続孔6および導体膜18の上部に達する接続孔19をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0221】その後、層間絶縁膜5a上に、例えばWの単体膜またはTi/TiN/Wの積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってパターニングすることにより電極7a~7eおよびビット線BLを形成する。

【0222】その後、図33に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5bをCVD法等によって形成することにより、電極7a~7eおよびビット線BLを被覆した後、例えばクラウン形のキャパシタ14を形成する。

【0223】次に、本実施の形態4の半導体集積回路装置の各部の不純物濃度分布を図34~図39によって説明する。

【0224】図34は周辺回路領域PのnMOS3nのソース・ドレイン部分における不純物濃度分布を示している。n<sup>-</sup>形半導体領域3n1aの不純物濃度分布は、メモリセル用のn<sup>-</sup>形半導体領域13n1の不純物分布よりも高い濃度で、かつ、深い位置まで広がっている。短チャネル抑制用のp<sup>-</sup>形半導体領域4pの不純物濃度分布は、n<sup>-</sup>形半導体領域3n1aの不純物濃度分布よりも深い位置まで広がっている。さらに、n<sup>+</sup>形半導体領域3n1bは、n<sup>-</sup>形半導体領域3n1aおよびp<sup>-</sup>形半導体領域4pの不純物濃度分布よりも高濃度で、かつ、深い位置まで広がっている。

【0225】図35はnウェル給電領域10nにおける不純物濃度分布を示している。p<sup>-</sup>形半導体領域11pの不純物分布は、n<sup>-</sup>形半導体領域10naの不純物分布よりも深い位置まで広がっている。しかし、n<sup>+</sup>形半導体領域10nbは、そのp<sup>-</sup>形半導体領域11pの不純物分布よりも高濃度で、かつ、深い位置まで広がっている。したがって、nウェルNWに対してウェル電位を良好に供給することが可能となっている。なお、p<sup>++</sup>（Channel）はpMOS3pのしきい電圧設定のためにチャネルに導入した不純物の濃度分布である。

【0226】図36はpMOS3pのソース・ドレイン部分における不純物濃度分布を示している。p<sup>-</sup>形半導体領域3p1aの不純物濃度分布は、メモリセル用のn<sup>-</sup>形半導体領域13n1の不純物分布よりも高い濃度で、かつ、深い位置まで広がっている。短チャネル抑制用のn<sup>-</sup>形半導体領域4nの不純物濃度分布は、p<sup>-</sup>形半導体領域3p1aの不純物濃度分布よりも深い位置まで広がっている。さらに、p<sup>+</sup>形半導体領域3p1bは、p<sup>-</sup>形半導体領域3p1aおよびn<sup>-</sup>形半導体領域4nの不純物濃度分布よりも高濃度で、かつ、深い位置まで広がっている。なお、p<sup>++</sup>（Channel）はpMOS3pのしきい電圧設定のためにチャネルに導入した不純物の濃度分布である。

【0227】図37はpウェル給電領域10pにおける不純物濃度分布を示している。n<sup>-</sup>形半導体領域11n



の不純物分布は、 $p^-$  形半導体領域10p aの不純物分布よりも深い位置まで広がっている。しかし、 $p^+$  形半導体領域10p bは、その $n^-$  形半導体領域11nの不純物分布よりも高濃度で、かつ、深い位置まで広がっている。したがって、 $p$  ウエルPWに対してもウエル電位を良好に供給することが可能となっている。

【0228】図38は図33のメモリセル領域Mの要部拡大断面図を模式的に示し、図39はこの図38の選択MOS13のソース・ドレイン部分における不純物濃度分布を示している。なお、図38においては図面を分かりやすくするために半導体領域13n1a, 13n1bにはハッチングを付していない。

【0229】 $n^-$  形半導体領域13n1a1 (13n1b1) は図38に示すように相対的に半導体基板1の横方向に広い不純物濃度分布を有している。 $n^+$  形半導体領域13n1a2 (13n1b2) は、その $n^-$  形半導体領域13n1a1 (13n1b1) の不純物濃度分布よりも高濃度となっている。さらに、 $n^-$  形半導体領域13n1a3 (13n1b3) は、その $n^+$  形半導体領域13n1a2 (13n1b2) に比べて不純物濃度は低い

10

20

が、深い位置まで広がっている。すなわち、相対的に不純物濃度の高い $n^+$  形半導体領域13n1a2 (13n1b2) が、相対的に不純物濃度の低い $n^-$  形半導体領域13n1a1 (13n1b1) および $n^-$  形半導体領域13n1a3 (13n1b3) によって全体的に取り囲まれている。これにより、高い電界が $n^+$  形半導体領域13n1a2 (13n1b2) に局部的に印加されてしまう現象を抑制することが可能となり、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となっている。

【0230】このような本実施の形態4においても、前記実施の形態1, 2で得られた効果を得ることが可能となる。

【0231】(実施の形態5) 図40～図54は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図、図55～図58は本実施の形態の半導体集積回路装置の各部の不純物濃度分布を説明するための説明図である。

【0232】図40は本実施の形態5における半導体集積回路装置の製造工程中の要部断面図を示している。半導体基板1には、 $p$  ウエルPW、 $n$  ウエルNW、素子分離部2、ゲート電極3ng, 3pg, 13ngおよびキャップ絶縁膜8, 15が形成されている。このゲート電極3ng, 3pg, 13ngは、例えば低抵抗ポリシリコン膜の単体膜、低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を積み重ねてなる、いわゆるポリサイド構造または低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を積み重ねてなる、いわゆるポリメタル構造で構成されている。

50

なお、キャップ絶縁膜8は、例えば窒化シリコンからなる。

【0233】まず、このような半導体基板1に、例えば $n$  形不純物のリンまたはAsをゲート電極3ng, 3pg, 13ngおよびキャップ絶縁膜8, 15に対して自己整合的にイオン注入法等によって注入する。不純物のドーズ量は、例えば $2 \times 10^{13}$  個/cm<sup>2</sup> 程度である。この不純物注入工程は、メモリセル選択MOS・FET用の $n^-$  形の半導体領域13n1a1, 13n1b1を形成するための工程であり、半導体基板1の主面全面にマスク無しでイオン注入する。したがって、この $n$  形不純物はメモリセル領域以外の周辺回路領域P ( $p$  MOS領域や $p$  ウエル給電領域を含む) にも注入される。この周辺回路領域Pおよびメモリセル領域Mの $p$  ウエル給電領域では、この不純物注入工程で形成される半導体領域を $n^-$  形の半導体領域13n1で示す。なお、この段階では、不純物を活性化するための熱処理を行っていないので $n^-$  形の半導体領域13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0234】続いて、図41に示すように、半導体基板1上に、例えば窒化シリコンからなる絶縁膜21をCVD法等によって形成することにより、素子分離部2を含む半導体基板1の上面、ゲート電極3ng, 3pg、キャップ絶縁膜8、ゲート電極13ng (ワード線WL) およびキャップ絶縁膜15の表面 (側面および上面) を被覆する。

【0235】その後、絶縁膜21に異方性エッチングを施すことなく、図42に示すように、絶縁膜21上に、周辺回路領域Pにおける $n$  MOS形成領域および $n$  ウエル給電領域10nが露出し、周辺回路領域Pにおける $p$  MOS形成領域、周辺回路領域pおよびメモリセル領域Mにおける $p$  ウエル給電領域10p, 10p' さらにはメモリセル領域Mを被覆するようなフォトリソグラフィ技術によって形成する。

【0236】すなわち、ゲート電極3ng, 3pg、キャップ絶縁膜8、ゲート電極13ng (ワード線WL) およびキャップ絶縁膜15の側面の絶縁膜21部分が前記実施の形態4等で説明したサイドウォールの役目を果たすので、特にサイドウォールを形成する工程が必要ない。したがって、そのサイドウォールを形成するためのドライエッチング工程および洗浄・乾燥工程を削減できるので、半導体集積回路装置の製造時間の短縮および製造コストの低減とともに、異物発生に起因する不良発生率を低減でき半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0237】続いて、前記実施の形態1と同様に、そのフォトリソグラフィ12cをマスクとして、例えば $p$  形不純物のホウ素を絶縁膜21を通してイオン注入法等によ



て半導体基板1に注入する。この不純物のドーズ量は、例えば $4 \times 10^{12}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、周辺回路領域PにおけるnMOSの短チャネル抑制用のp<sup>-</sup>形半導体領域4pを形成するための工程である。

【0238】この際、半導体基板1を傾けることにより、その不純物を半導体基板1の主面に対して斜めに注入する。これは、その不純物をゲート電極端に到達させ、ゲート電極によるシャドウィング効果を防止するためである。これにより、nMOS形成領域においては不純物をゲート電極3ng端部の下層にもぐり込むように導入できるとともに、nウエル給電領域10nにおいてはp<sup>-</sup>形半導体領域11pの深さを比較的浅くすることが可能となっている。その不純物の注入方向は、特限定されないが4方向以上とする。

【0239】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0240】その後、図43に示すように、p<sup>-</sup>形半導体領域4p, 11p形成用の不純物の導入時に用いたフォトリソグロフ12cをマスクとして、例えばn形不純物のリンまたはAsを絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $1 \times 10^{14}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、nMOSのn<sup>-</sup>形半導体領域3n1aおよびnウエル給電領域のn<sup>-</sup>形半導体領域10naを形成するための工程である。

【0241】この際、そのn形不純物をゲート電極端に到達させ、ゲート電極によるシャドウィング効果を防止し、かつ、後述するソース・ドレイン用のn<sup>+</sup>形半導体領域のチャネル側端部に残されるようにすべく、そのn形不純物を半導体基板1の主面に対して斜め方向から注入する。この場合の不純物の注入角度は、上記したp<sup>-</sup>形半導体領域4p, 11pを形成するための不純物の注入角度と同一とする。すなわち、そのn形不純物（低不純物濃度領域）の注入時には、半導体基板1の傾斜角度を上記したp形不純物（短チャネル抑制用）注入時のまま行う。そのn形不純物の注入方向は、特に限定されないが4方向以上とする。

【0242】このようなイオン注入により、nMOS形成領域においては、p形不純物の方がn形不純物よりも拡散係数が大ききので、n<sup>-</sup>形半導体領域3n1aのチャネル側端部にp<sup>-</sup>形半導体領域4pを形成することができる。また、nウエル給電領域においては、n<sup>-</sup>形半導体領域10naがp<sup>-</sup>形半導体領域11pよりも浅く形成されるようになる。

【0243】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 10na, 13n1, 13n1a1, 13

n1b1は形成されていないが、説明を分かり易くするために図示する。

【0244】その後、図44に示すように、p<sup>-</sup>形半導体領域4p, 11p形成用の不純物の導入時およびn<sup>-</sup>形半導体領域3n1a, 10na形成用の不純物の導入時に用いたフォトリソグロフ12cをマスクとして、例えばn形不純物のリンまたはAsを絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $3 \times 10^{15}$ 個/cm<sup>2</sup>程度である。この不純物注入工程は、nMOSのn<sup>+</sup>形半導体領域3n1bおよびnウエル給電領域のn<sup>+</sup>形半導体領域10nbを形成するための工程である。

【0245】ただし、この際、そのn形不純物を半導体基板1の主面に対して垂直に注入する。また、そのn形不純物を、nウエル給電領域10nのp<sup>-</sup>半導体領域11pよりも深く、かつ、隣接する素子と分離可能な深さにイオン注入する。このようにn形不純物をp<sup>-</sup>半導体領域11pよりも深く打ち込むのは、上記したように、nウエル給電領域10nにおいてはnウエルNWとは逆導電形のp<sup>-</sup>形半導体領域11pがn<sup>-</sup>形半導体領域10naよりも深く形成されており、このままだと良好なウエル接続ができなくなってしまうので、そのn形不純物の導入時には、p<sup>-</sup>半導体領域11pがnウエル給電領域10nに形成されないように、そのn形不純物をp<sup>-</sup>半導体領域11pよりも深く注入する。これにより、良好なウエル接続が可能となる。

【0246】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nb, 13n1, 13n1a1, 13n1b1は形成されていないが、説明を分かり易くするために図示する。

【0247】このように本実施の形態5においては、nMOS3nが必要とするn形半導体領域3n1およびp<sup>-</sup>形半導体領域4p、さらにはnウエル給電領域10nを同一のフォトリソグロフをマスクとしたイオン注入によって形成することができる。したがって、フォトリソグロフ膜の塗布、露光および現像等の一連のフォトリソグラフィ工程を大幅に低減できる。また、フォトマスクの枚数も低減できる。

【0248】次いで、フォトリソグロフ12cを除去した後、図45に示すように、半導体基板1上に、周辺回路領域PにおけるpMOS形成領域およびpウエル給電領域10p、メモリセル領域Mにおけるpウエル給電領域10p'が露出し、周辺回路領域PにおけるnMOS形成領域およびnウエル給電領域10nを被覆するようなフォトリソグロフ（第2マスク）12dをフォトリソグラフィ技術によって形成する。

【0249】続いて、前記実施の形態1と同様に、そのフォトリソグロフ12dをマスクとして、例えばn形不純物のリンまたはAsを絶縁膜21を通じてイオン注入法

等によって半導体基板1に注入する。この不純物のドー  
ズ量は、例えば $3 \times 10^{12}$ 個/cm<sup>2</sup>程度である。この  
不純物導入工程は、周辺回路領域PにおけるpMOSの  
短チャネル抑制用のn<sup>-</sup>形半導体領域4nを形成するた  
めの工程である。

【0250】この際、半導体基板1を傾けることによ  
り、その不純物を半導体基板1の主面に対して斜めに注  
入する。これは、その不純物をゲート電極端に到達さ  
せ、ゲート電極によるシャドウィング効果を防止するた  
めである。これにより、pMOS形成領域においては不  
純物をゲート電極3pg端部の下層にもぐり込むように  
導入できるとともに、pウエル給電領域10p、10  
p'においてはn<sup>-</sup>形半導体領域11nの深さを比較的  
浅くすることが可能となっている。その不純物の注入方  
向は、特限定されないが4方向以上とする。

【0251】なお、この段階では、不純物を活性化す  
るための熱処理を行っていないので半導体領域4p、11  
p、4n、11n、3n1a、3n1b、10na、1  
0nb、13n1、13n1a1、13n1b1は形成さ  
れていないが、説明を分かり易くするために図示する。

【0252】その後、図46に示すように、n<sup>-</sup>形半導  
体領域4n、11n形成用の不純物の導入時に用いたフ  
ォトレジスト12dをマスクとして、例えばp形不純物  
のホウ素を絶縁膜21を通じてイオン注入法等によって  
半導体基板1に注入する。この不純物のドーズ量は、n<sup>-</sup>  
形半導体領域13n1の導電形を打ち消すべくn<sup>-</sup>形  
半導体領域13n1用の不純物注入時のドーズ量より多  
く、例えば $3 \times 10^{13}$ 個/cm<sup>2</sup>程度である。この不純  
物導入工程は、pMOSのp<sup>-</sup>形半導体領域3p1aお  
よびpウエル給電領域のp<sup>-</sup>形半導体領域10paを形  
成するための工程である。

【0253】この際、そのp形不純物をゲート電極端に  
到達させ、ゲート電極によるシャドウィング効果を防止  
し、かつ、後述するソース・ドレイン用のp<sup>+</sup>形半導体  
領域のチャネル側端部に残されるようにすべく、そのp  
形不純物を半導体基板1の主面に対して斜め方向から注  
入する。この場合の不純物の注入角度は、上記したn<sup>-</sup>  
形半導体領域4n、11nを形成するための不純物の注  
入角度と同一とする。すなわち、そのp形不純物（低不  
純物濃度領域）の注入時には、半導体基板1の傾斜角度  
をn形不純物（短チャネル抑制用）注入時のまま行う。  
そのp形不純物の注入方向は、特に限定されないが4方  
向以上とする。

【0254】ただし、ここでは、pMOS形成領域にお  
いて、そのp形不純物のゲート電極3pg端部下層への  
もぐり込み量が、上記したn<sup>-</sup>形半導体領域4nよりも  
小さくなるようにイオン打ち込みエネルギーを設定す  
る。したがって、pMOS形成領域においては、p<sup>-</sup>形  
半導体領域3p1aのチャネル側端部にn<sup>-</sup>形半導体領  
域4nが残るようにすることができる。また、pウエル

給電領域においては、p<sup>-</sup>形半導体領域10paがn<sup>-</sup>  
形半導体領域11nよりも浅く形成されるようになる。

【0255】なお、この段階では、不純物を活性化す  
るための熱処理を行っていないので半導体領域4p、4  
n、11p、11n、3n1a、3n1b、3p1a、  
10na、10nb、10pa、13n1、13n1a  
1、13n1b1は形成されていないが、説明を分かり易  
くするために図示する。

【0256】その後、図47に示すように、n<sup>-</sup>形半導  
体領域4n、11n形成用の不純物の導入時およびp<sup>-</sup>  
形半導体領域3p1a、10pa形成用の不純物の導入  
時に用いたフォトレジスト12dをマスクとして、例え  
ばp形不純物のホウ素を絶縁膜21を通じてイオン注入  
法等によって半導体基板1に注入する。この不純物のド  
ーズ量は、例えば $3 \times 10^{13}$ 個/cm<sup>2</sup>程度である。こ  
の不純物注入工程は、pMOS3pのp<sup>+</sup>形半導体領域  
3p1bおよびpウエル給電領域のp<sup>+</sup>形半導体領域1  
0pbを形成するための工程である。

【0257】ただし、この際、そのp形不純物を半導体  
基板1の主面に対して垂直に注入する。また、ここで  
は、そのp形不純物を、pウエル給電領域10p、10  
p'のn<sup>-</sup>半導体領域11nよりも深く、かつ、隣接す  
る素子と分離可能な深さにイオン注入する。このように  
p形不純物をn<sup>-</sup>半導体領域11nよりも深く打ち込む  
のは、上記したように、pウエル給電領域10p、10  
p'においてはpウエルPWとは逆導電形のn<sup>-</sup>形半導  
体領域11nがp<sup>-</sup>形半導体領域10paよりも深く形  
成されており、このままだと良好なウエル接続ができな  
くなってしまうので、そのp形不純物の導入時には、n<sup>-</sup>  
半導体領域11nがpウエル給電領域10p、10  
p'に形成されないように、そのp形不純物をn<sup>-</sup>半導  
体領域11nよりも深く注入する。これにより、良好な  
ウエル接続が可能となる。

【0258】なお、この段階では、不純物を活性化す  
るための熱処理を行っていないので半導体領域4p、4  
n、11p、11n、3n1a、3n1b、3p1a、  
3p1b、10na、10nb、10pa、10pb、  
13n1、13n1a1、13n1b1は形成されていな  
いが、説明を分かり易くするために図示する。

【0259】このように本実施の形態5においては、p  
MOS3pが必要とするp形半導体領域3p1およびn<sup>-</sup>  
形半導体領域4n、さらにはpウエル給電領域10p  
を同一のフォトレジストをマスクとしたイオン注入によ  
って形成することができる。したがって、フォトレジス  
ト膜の塗布、露光および現像等の一連のフォトリソグラ  
フィ工程を大幅に低減できる。また、フォトマスクの枚  
数も低減できる。

【0260】次いで、フォトレジスト12dを除去した  
後、半導体基板1に対して熱処理を施すことにより、半  
導体基板1に導入した不純物の活性化および拡散させ



て、図48に示すように、nMOS3nを構成する $n^-$ 形半導体領域3n1a、 $n^+$ 形半導体領域3n1bおよび $p^-$ 形半導体領域4p、pMOS3pを構成する $p^-$ 形半導体領域3p1a、 $p^+$ 形半導体領域3p1bおよび $n^-$ 形半導体領域4n、pウエル給電領域10p、10p'における $p^+$ 形半導体領域10pb、nウエル給電領域10nにおける $n^+$ 形半導体領域10nb、メモリセル領域Mにおける $n^-$ 形半導体領域13n1a1、13n1b1を形成する。

【0261】続いて、図49に示すように、半導体基板1上に、例えば $SiO_2$ 等からなる層間絶縁膜5a1をCVD法によって形成した後、図50に示すように、その層間絶縁膜5a1においてメモリセル領域Mに絶縁膜21およびキャップ絶縁膜15をエッチングストップとして、絶縁膜21の上面が露出するまで接続孔17a1、17b1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。ここでは、 $SiO_2$ のエッチング速度の方が窒化シリコンのエッチング速度よりも速くなるようにエッチング選択比を大きくした状態でエッチング処理を施す。

【0262】続いて、今度は窒化シリコンのエッチング速度の方が $SiO_2$ のエッチング速度よりも速くなるようにエッチング選択比を大きくした状態にエッチング条件を切り換えて接続孔17a1、17b1の底部に残されている絶縁膜21を除去することにより、図51に示すように、半導体基板1の上面が露出するような接続孔17a、17bを穿孔する。このようにするのは、絶縁膜21を設けない構造の場合において、半導体基板1の上面が露出するような接続孔17a、17bを $SiO_2$ がエッチングされ易い条件で穿孔する場合に、その接続孔17a、17bの底部から素子分離部2の分離用絶縁膜（通常 $SiO_2$ からなる）が露出すると、その分離用絶縁膜も除去され不良の原因となるので、それを防ぐべく、エッチング条件を上述のように2回に分けて行うようにしている。

【0263】その後、その接続孔17a、17bを通じて、例えば $n$ 形不純物のリンまたはAsをイオン注入法等によって半導体基板1に注入する。この不純物導入工程は、電界緩和用の $n^-$ 形半導体領域を形成するための不純物の導入工程である。この際、ここでは、その不純物を半導体基板1の主面に対して垂直に、かつ、 $n^-$ 形半導体領域13n1a1、13n1b1よりも若干深い位置まで打ち込む。

【0264】次いで、半導体基板1上に、例えばリン等のような $n$ 形不純物を含有する低抵抗ポリシリコンをCVD法で堆積した後、これを異方性のドライエッチングまたはCMP（Chemical Mechanical Polishing）技術によってエッチバックすることにより、図52に示すように、その接続孔17a、17b内に、例えばリン等のような $n$ 形不純物を含有する低抵抗ポリシリコンからな

る導体膜18を埋め込む。そして、その半導体基板1に対して熱処理を施す。これにより、上記イオン注入によって半導体基板1に注入した $n$ 形不純物を活性化および拡散させて電界緩和用の $n^-$ 形半導体領域13n1a3、13n1b3を形成するとともに、導体膜18中の $n$ 形不純物のリンを半導体基板1側に拡散させて $n^+$ 形半導体領域13n1a2、13n1b2を形成する。これにより、選択MOS13を形成する。

【0265】ただし、導体膜18の形成方法としては、これに限定されるものではなく、例えば次のようにしても良い。まず、接続孔17a、17bを穿孔した後、半導体基板1上にノンドープのポリシリコンをCVD法によって堆積した後、その上部を上記と同様にエッチバックすることにより接続孔17a、17b内にノンドープのポリシリコン膜を埋め込む。続いて、例えばリンまたはAs等のような $n$ 形不純物をノンドープのポリシリコン膜にイオン注入法によって打ち込む。その後、熱処理によってノンドープのポリシリコン膜に注入した不純物を活性化させて導体膜18を形成する。

【0266】続いて、図53に示すように、半導体基板1上に、例えば $SiO_2$ 等からなる層間絶縁膜5a2をCVD法等によって形成した後、層間絶縁膜5a（5a1、5a2）の一部に、半導体基板1の主面に達する接続孔6および導体膜18の上部に達する接続孔19をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0267】その後、層間絶縁膜5a上に、例えばWの単体膜またはTi/TiN/Wの積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより電極7a~7eおよびビット線BLを形成する。

【0268】その後、図54に示すように、半導体基板1上に、例えば $SiO_2$ 等からなる層間絶縁膜5bをCVD法等によって形成することにより、電極7a~7eおよびビット線BLを被覆した後、例えばクラウン形のキャパシタ14を形成する。

【0269】次に、本実施の形態5の半導体集積回路装置の各部の不純物濃度分布を図55~図58によって説明する。

【0270】図55はnMOS3nのソース・ドレイン部分における不純物濃度分布を示している。 $n^-$ 形半導体領域3n1aの不純物濃度分布は、メモリセル用の $n^-$ 形半導体領域13n1の不純物分布よりも高い濃度で、かつ、深い位置まで広がっている。短チャネル抑制用の $p^-$ 形半導体領域4pの不純物濃度分布は、 $n^-$ 形半導体領域3n1aの不純物濃度分布よりも深い位置まで広がっている。さらに、 $n^+$ 形半導体領域3n1bは、 $n^-$ 形半導体領域3n1aおよび $p^-$ 形半導体領域4pの不純物濃度分布よりも高濃度で、かつ、深い位置

まで広がっている。なお、 $n^-$ 形半導体領域3n1a、短チャネル抑制用の $p^-$ 形半導体領域4pおよび $n^+$ 形半導体領域3n1bの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0271】図56はnウエル給電領域10nにおける不純物濃度分布を示している。 $p^-$ 形半導体領域11pの不純物分布は、 $n^-$ 形半導体領域10naの不純物分布よりも深い位置まで広がっている。しかし、 $n^+$ 形半導体領域10nbは、その $p^-$ 形半導体領域11pの不純物分布よりも高濃度で、かつ、深い位置まで広がっている。したがって、nウエルNWに対してウエル電位を良好に供給することが可能となっている。なお、 $p^-$ （Channel）はpMOS3pのしきい電圧設定のためにチャネルに導入した不純物の濃度分布である。また、 $n^-$ 形半導体領域10na、 $p^-$ 形半導体領域11pおよび $n^+$ 形半導体領域10nbの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0272】図57はpMOS3pのソース・ドレイン部分における不純物濃度分布を示している。 $p^-$ 形半導体領域3p1aの不純物濃度分布は、メモリセル用の $n^-$ 形半導体領域13n1の不純物分布よりも高い濃度で、かつ、深い位置まで広がっている。短チャネル抑制用の $n^-$ 形半導体領域4nの不純物濃度分布は、 $p^-$ 形半導体領域3p1aの不純物濃度分布よりも深い位置まで広がっている。さらに、 $p^+$ 形半導体領域3p1bは、 $p^-$ 形半導体領域3p1aおよび $n^-$ 形半導体領域4nの不純物濃度分布よりも高濃度で、かつ、深い位置まで広がっている。なお、 $p^-$ （Channel）はpMOS3pのしきい電圧設定のためにチャネルに導入した不純物の濃度分布である。また、 $p^-$ 形半導体領域3p1a、短チャネル抑制用の $n^-$ 形半導体領域4nおよび $p^+$ 形半導体領域3p1bの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0273】図58はpウエル給電領域10pにおける不純物濃度分布を示している。 $n^-$ 形半導体領域11nの不純物分布は、 $p^-$ 形半導体領域10paの不純物分布よりも深い位置まで広がっている。しかし、 $p^+$ 形半導体領域10pbは、その $n^-$ 形半導体領域11nの不純物分布よりも高濃度で、かつ、深い位置まで広がっている。したがって、pウエルPWに対してもウエル電位を良好に供給することが可能となっている。なお、 $p^-$ 形半導体領域10pa、 $n^-$ 形半導体領域11nおよび $p^+$ 形半導体領域10pbの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0274】メモリセル領域Mにおける構造および不純物濃度分布については、絶縁膜21を設けたこと以外は

前記実施の形態4と同じなので説明を省略する。

【0275】このような本実施の形態5においては、前記実施の形態1、2、4で得られた効果の他に、以下の効果を得ることが可能となる。

【0276】(1).ゲート電極3ng、3pg、キャップ絶縁膜8、ゲート電極13ng（ワード線WL）およびキャップ絶縁膜15の側面にサイドウォールを形成するためのドライエッチング工程および洗浄・乾燥工程を削減することにより、半導体集積回路装置の製造時間の短縮および製造コストの低減とともに、異物発生に起因する不良発生率を低減でき半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0277】(2).選択MOS13の半導体領域13n1a、13n1bが露出する接続孔17a、17bの穿孔処理を2回に分けて行うことにより、半導体基板1の上部の素子分離部2の分離用絶縁膜の上部が接続孔17a、17bの形成時に部分的に除去されるのを防止できるので、それに起因するメモリセルでの特性不良を防止することが可能となる。

【0278】(3).上記(3)により、その接続孔17a、17bの平面的な位置合わせ余裕を小さくできるので、メモリセルの微細化が可能となり、素子集積度の向上およびこれに伴う半導体集積回路装置の機能の向上を図ることが可能となる。

【0279】（実施の形態6）図59～図73は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図、図74～図77は本実施の形態の半導体集積回路装置の各部の不純物濃度分布を説明するための説明図、図78は本実施の形態の半導体集積回路装置のメモリセル領域の要部拡大断面図、図79は図78のメモリセル選択MOS・FETのソース・ドレインの不純物濃度分布を説明するための説明図である。

【0280】図59は本実施の形態6における半導体集積回路装置の製造工程中の要部断面図を示している。半導体基板1には、pウエルPW、nウエルNW、素子分離部2、ゲート電極3ng、3pg、13ngおよびキャップ絶縁膜8、15が形成されている。このゲート電極3ng、3pg、13ngは、例えば低抵抗ポリシリコン膜の単体膜、低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を積み重ねてなる、いわゆるポリサイド構造または低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を積み重ねてなる、いわゆるポリメタル構造で構成されている。

【0281】なお、キャップ絶縁膜8は、例えば窒化シリコンからなる。また、この段階では前記実施の形態4、5で説明したメモリセル選択MOS・FET用の $n^-$ 形の半導体領域13n1a1、13n1b1を形成するための不純物注入工程は行われていない。

【0282】まず、このような半導体基板1上に、図6



0に示すように、例えば窒化シリコンからなる絶縁膜21をCVD法等によって形成することにより、素子分離部2を含む半導体基板1の上面、ゲート電極3ng、3pg、キャップ絶縁膜8、ゲート電極13ng（ワード線WL）およびキャップ絶縁膜15の表面（側面および上面）を被覆する。

【0283】続いて、メモリセル選択MOS・FET用のn<sup>-</sup>形の半導体領域13nla1、13nla2を形成するための不純物注入工程およびゲート電極3ng、3pg、キャップ絶縁膜8、ゲート電極13ng（ワード線WL）およびキャップ絶縁膜15の側面にサイドウォールを形成する工程を経ることなく、図61に示すように、絶縁膜21上に、周辺回路領域PにおけるnMOS形成領域およびnウェル給電領域10nが露出し、周辺回路領域PにおけるpMOS形成領域、周辺回路領域pおよびメモリセル領域Mにおけるpウェル給電領域10p、10p'さらにはメモリセル領域Mを被覆するようなフォトリソグラフィ技術によって形成する。

【0284】すなわち、メモリセル選択MOS・FET用のn<sup>-</sup>形の半導体領域13nla1、13nla2を形成するための不純物注入工程を行わないことにより、半導体集積回路装置の製造時間の短縮および製造コストの低減を図ることが可能となる。また、メモリセル選択MOS・FETの短チャネル特性が改善され、より短いゲート長が使用可能となる。

【0285】また、ゲート電極3ng、3pg、キャップ絶縁膜8、ゲート電極13ng（ワード線WL）およびキャップ絶縁膜15の側面の絶縁膜21部分が前記実施の形態4等で説明したサイドウォールの役目を果たするので、特にサイドウォールを形成する工程が必要ない。したがって、そのサイドウォールを形成するためのドライエッチング工程および洗浄・乾燥工程を削減できるので、半導体集積回路装置の製造時間の短縮とともに、異物発生に起因する不良発生率を低減でき半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0286】続いて、前記実施の形態5と同様に、そのフォトリソグラフィ12cをマスクとして、例えばp形不純物のホウ素を絶縁膜21を通してイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $4 \times 10^{12}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、周辺回路領域PにおけるnMOSの短チャネル抑制用のp<sup>-</sup>形半導体領域4pを形成するための工程である。

【0287】この際、半導体基板1を傾けることにより、その不純物を半導体基板1の主面に対して斜めに注入する。これは、その不純物をゲート電極端に到達させ、かつ、ゲート電極によるシャドウィング効果を防止するためである。これにより、nMOS形成領域におい

ては不純物をゲート電極3ng端部の下層にもぐり込むように導入できるとともに、nウェル給電領域10nにおいてはp<sup>-</sup>形半導体領域11pの深さを比較的浅くすることが可能となっている。その不純物の注入方向は、特限定されないが4方向以上とする。

【0288】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p、11pは形成されていないが、説明を分かり易くするために図示する。

10 【0289】その後、図62に示すように、p<sup>-</sup>形半導体領域4p、11p形成用の不純物の導入時に用いたフォトリソグラフィ12cをマスクとして、例えばn形不純物のリンまたはAsを絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $1 \times 10^{14}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、nMOSのn<sup>-</sup>形半導体領域3nlaおよびnウェル給電領域のn<sup>-</sup>形半導体領域10naを形成するための工程である。

20 【0290】この際、そのn形不純物をゲート電極端に到達させ、かつ、ゲート電極によるシャドウィング効果を防止すべく、そのn形不純物を半導体基板1の主面に対して斜め方向から注入するが、その注入角度は、上記したp<sup>-</sup>形半導体領域4p、11pを形成するための不純物の注入角度と同一とする。すなわち、そのn形不純物（低不純物濃度領域）の注入時には、半導体基板1の傾斜角度を上記したp形不純物（短チャネル抑制用）注入時のまま行う。そのn形不純物の注入方向は、特に限定されないが4方向以上とする。

30 【0291】このようなイオン注入により、nMOS形成領域においては、p形不純物の方がn形不純物よりも拡散係数が大きいため、n<sup>-</sup>形半導体領域3nlaのチャネル側端部にp<sup>-</sup>形半導体領域4pを形成することができる。また、nウェル給電領域においては、n<sup>-</sup>形半導体領域10naがp<sup>-</sup>形半導体領域11pよりも浅く形成されるようになる。

【0292】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p、11p、3nla、10naは形成されていないが、説明を分かり易くするために図示する。

40 【0293】その後、図63に示すように、p<sup>-</sup>形半導体領域4p、11p形成用の不純物の導入時およびn<sup>-</sup>形半導体領域3nla、10na形成用の不純物の導入時に用いたフォトリソグラフィ12cをマスクとして、例えばn形不純物のリンまたはAsを絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $3 \times 10^{15}$ 個/cm<sup>2</sup>程度である。この不純物注入工程は、nMOSのn<sup>+</sup>形半導体領域3nlaおよびnウェル給電領域のn<sup>+</sup>形半導体領域10nbを形成するための工程である。

50 【0294】ただし、この際、そのn形不純物を半導体

基板1の主面に対して垂直に注入する。また、そのn形不純物を、nウエル給電領域10nのp<sup>-</sup>半導体領域11pよりも深く、かつ、隣接する素子と分離可能な深さにイオン注入する。このようにn形不純物をp<sup>-</sup>半導体領域11pよりも深く打ち込むのは、上記したように、nウエル給電領域10nにおいてはnウエルNWとは逆導電形のp<sup>-</sup>形半導体領域11pがn<sup>-</sup>形半導体領域10naよりも深く形成されており、このままだと良好なウエル接続ができなくなってしまうので、そのn形不純物の導入時には、p<sup>-</sup>半導体領域11pがnウエル給電領域10nに形成されないように、そのn形不純物をp<sup>-</sup>半導体領域11pよりも深く注入する。これにより、良好なウエル接続が可能となる。

【0295】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 3n1a, 3n1b, 10na, 10nbは形成されていないが、説明を分かり易くするために図示する。

【0296】このように本実施の形態6においては、nMOS3nが必要とするn形半導体領域3n1およびp<sup>-</sup>形半導体領域4p、さらにはnウエル給電領域10nを同一のフォトリソグラフィをマスクとしたイオン注入によって形成することができる。したがって、フォトリソグラフィ膜の塗布、露光および現像等の一連のフォトリソグラフィ工程を大幅に低減できる。また、フォトマスクの枚数も低減できる。

【0297】次いで、フォトリソグラフィ12cを除去した後、図64に示すように、半導体基板1上に、周辺回路領域PにおけるpMOS形成領域およびpウエル給電領域10p、メモリセル領域Mにおけるpウエル給電領域10p'が露出し、周辺回路領域PにおけるnMOS形成領域およびnウエル給電領域10nを被覆するようなフォトリソグラフィ（第2マスク）12dをフォトリソグラフィ技術によって形成する。

【0298】続いて、前記実施の形態5と同様に、そのフォトリソグラフィ12dをマスクとして、例えばn形不純物のリンまたはAsを絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $3 \times 10^{12}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、周辺回路領域PにおけるpMOSの短チャネル抑制用のn<sup>-</sup>形半導体領域4nを形成するための工程である。

【0299】この際、半導体基板1を傾けることにより、その不純物を半導体基板1の主面に対して斜めに注入する。これは、その不純物をゲート電極端に到達させ、かつ、ゲート電極によるシャドウィング効果を防止するためである。これにより、pMOS形成領域においては不純物をゲート電極3pg端部の下にもぐり込むように導入できるとともに、pウエル給電領域10p, 10p'においてはn<sup>-</sup>形半導体領域11nの深さを比較的浅くすることが可能となっている。その不純物の注入

方向は、特限定されないが4方向以上とする。

【0300】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 11p, 4n, 11n, 3n1a, 3n1b, 10na, 10nbは形成されていないが、説明を分かり易くするために図示する。

【0301】その後、図65に示すように、n<sup>-</sup>形半導体領域4n, 11n形成用の不純物の導入時に用いたフォトリソグラフィ12dをマスクとして、例えばp形不純物のホウ素を絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $3 \times 10^{13}$ 個/cm<sup>2</sup>程度である。この不純物導入工程は、pMOSのp<sup>-</sup>形半導体領域3p1aおよびpウエル給電領域のp<sup>-</sup>形半導体領域10paを形成するための工程である。

【0302】この際、そのp形不純物をゲート電極端に到達させ、かつ、ゲート電極によるシャドウィング効果を防止すべく、そのp形不純物を半導体基板1の主面に対して斜め方向から注入するが、その注入角度は、上記したn<sup>-</sup>形半導体領域4n, 11nを形成するための不純物の注入角度と同一とする。すなわち、そのp形不純物（低不純物濃度領域）の注入時には、半導体基板1の傾斜角度をn形不純物（短チャネル抑制用）注入時のまま行う。そのp形不純物の注入方向は、特に限定されないが4方向以上とする。

【0303】ただし、ここでは、pMOS形成領域において、そのp形不純物のゲート電極3pg端部下層へのもぐり込み量が、上記したn<sup>-</sup>形半導体領域4nよりも小さくなるようにイオン打ち込みエネルギーを設定する。したがって、pMOS形成領域においては、p<sup>-</sup>形半導体領域3p1aのチャネル側端部にn<sup>-</sup>形半導体領域4nが残るようにすることができる。また、pウエル給電領域においては、p<sup>-</sup>形半導体領域10paがn<sup>-</sup>形半導体領域11nよりも浅く形成されるようになる。

【0304】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p, 4n, 11p, 11n, 3n1a, 3n1b, 3p1a, 10na, 10nb, 10paは形成されていないが、説明を分かり易くするために図示する。

【0305】その後、図66に示すように、n<sup>-</sup>形半導体領域4n, 11n形成用の不純物の導入時およびp<sup>-</sup>形半導体領域3p1a, 10pa形成用の不純物の導入時に用いたフォトリソグラフィ12dをマスクとして、例えばp形不純物のホウ素を絶縁膜21を通じてイオン注入法等によって半導体基板1に注入する。この不純物のドーズ量は、例えば $3 \times 10^{13}$ 個/cm<sup>2</sup>程度である。この不純物注入工程は、pMOS3pのp<sup>+</sup>形半導体領域3p1bおよびpウエル給電領域のp<sup>+</sup>形半導体領域10pbを形成するための工程である。

【0306】ただし、この際、そのp形不純物を半導体



基板1の主面に対して垂直に注入する。また、ここでは、そのp形不純物を、pウエル給電領域10pのn<sup>-</sup>半導体領域11nよりも深く、かつ、隣接する素子と分離可能な深さにイオン注入する。このようにp形不純物をn<sup>-</sup>半導体領域11nよりも深く打ち込むのは、上記したように、pウエル給電領域10p、10p'においてはpウエルPWとは逆導電形のn<sup>-</sup>形半導体領域11nがp<sup>-</sup>形半導体領域10paよりも深く形成されており、このままだと良好なウエル接続ができなくなってしまうので、そのp形不純物の導入時には、n<sup>-</sup>半導体領域11nがpウエル給電領域10p、10p'に形成されないように、そのp形不純物をn<sup>-</sup>半導体領域11nよりも深く注入する。これにより、良好なウエル接続が可能となる。

【0307】なお、この段階では、不純物を活性化するための熱処理を行っていないので半導体領域4p、4n、11p、11n、3n1a、3n1b、3p1a、3p1b、10na、10nb、10pa、10pbは形成されていないが、説明を分かり易くするために図示する。

【0308】このように本実施の形態6においては、pMOS3pが必要とするp形半導体領域3p1およびn<sup>-</sup>形半導体領域4n、さらにはpウエル給電領域10p、10p'を同一のフォトレジストをマスクとしたイオン注入によって形成することができる。したがって、フォトレジスト膜の塗布、露光および現像等の一連のフォトリソグラフィ工程を大幅に低減できる。また、フォトマスクの枚数も低減できる。

【0309】次いで、フォトレジスト12dを除去した後、半導体基板1に対して熱処理を施すことにより、半導体基板1に導入した不純物の活性化および拡散させて、図67に示すように、nMOS3nを構成するn<sup>-</sup>形半導体領域3n1a、n<sup>+</sup>形半導体領域3n1bおよびp<sup>-</sup>形半導体領域4p、pMOS3pを構成するp<sup>-</sup>形半導体領域3p1a、p<sup>+</sup>形半導体領域3p1bおよびn<sup>-</sup>形半導体領域4n、pウエル給電領域10pにおけるp<sup>+</sup>形半導体領域10pb、nウエル給電領域10nにおけるn<sup>+</sup>形半導体領域10nbを形成する。

【0310】続いて、図68に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5a1をCVD法によって形成した後、図69に示すように、その層間絶縁膜5a1においてメモリセル領域Mに絶縁膜21およびキャップ絶縁膜15をエッチングストップとして、絶縁膜21の上面が露出するまで接続孔17a1、17b1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。ここでは、SiO<sub>2</sub>のエッチング速度の方が窒化シリコンのエッチング速度よりも速くなるようにエッチング選択比を大きくした状態でエッチング処理を施す。

【0311】続いて、今度は窒化シリコンのエッチング

速度の方がSiO<sub>2</sub>のエッチング速度よりも速くなるようにエッチング選択比を大きくした状態にエッチング条件を切り換えて接続孔17a1、17b1の底部に残されている絶縁膜21を除去することにより、図70に示すように、半導体基板1の上面が露出するような接続孔17a、17bを穿孔する。このようにするのは、絶縁膜21を設けない構造の場合において、半導体基板1の上面が露出するような接続孔17a、17bをSiO<sub>2</sub>がエッチングされ易い条件で穿孔する場合に、その接続孔17a、17bの底部から素子分離部2の分離用絶縁膜（通常SiO<sub>2</sub>からなる）が露出すると、その分離用絶縁膜も除去され不良の原因となるので、それを防ぐべく、エッチング条件を上述のように2回に分けて行うようにしている。

【0312】その後、その接続孔17a、17bを通じて、例えばn形不純物のリンまたはAsをイオン注入法等によって半導体基板1に注入する。この不純物導入工程は、電界緩和用のn<sup>-</sup>形半導体領域（第11半導体領域）13n1a3、13n1b3を形成するための不純物の導入工程である。この際、ここでは、その不純物を半導体基板1の主面に対して垂直に打ち込む。なお、この段階では、不純物を活性化するための熱処理を行っていないのでn<sup>-</sup>形半導体領域13n1a3、13n1b3は形成されていないが、説明を分かり易くするために図示する。

【0313】次いで、半導体基板1上に、例えばリン等のようなn形不純物を含有する低抵抗ポリシリコンをCVD法で堆積した後、これを異方性のドライエッチングまたはCMP（Chemical Mechanical Polishing）技術によってエッチバックすることにより、図71に示すように、その接続孔17a、17b内に、例えばリン等のようなn形不純物を含有する低抵抗ポリシリコンからなる導体膜18を埋め込む。そして、その半導体基板1に対して熱処理を施す。これにより、上記イオン注入によって半導体基板1に注入したn形不純物を活性化および拡散させて電界緩和用のn<sup>-</sup>形半導体領域13n1a3、13n1b3を形成するとともに、導体膜18中のn形不純物のリンを半導体基板1側に拡散させてn<sup>+</sup>形半導体領域13n1a2、13n1b2を形成する。これにより、選択MOS13を形成する。

【0314】ただし、導体膜18の形成方法としては、これに限定されるものではなく、例えば次のようにしても良い。まず、接続孔17a、17bを穿孔した後、半導体基板1上にノンドープのポリシリコンをCVD法によって堆積した後、その上部を上記と同様にエッチバックすることにより接続孔17a、17b内にノンドープのポリシリコン膜を埋め込む。続いて、例えばリンまたはAs等のようなn形不純物をノンドープのポリシリコン膜にイオン注入法によって打ち込む。その後、熱処理によってノンドープのポリシリコン膜に注入した不純物

を活性化させて導体膜18を形成する。

【0315】続いて、図72に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5a2をCVD法等によって形成した後、層間絶縁膜5a(5a1, 5a2)の一部に、半導体基板1の主面に達する接続孔6および導体膜18の上部に達する接続孔19をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0316】その後、層間絶縁膜5a上に、例えばWの単体膜またはTi/TiN/Wの積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより電極7a~7eおよびビット線BLを形成する。

【0317】その後、図73に示すように、半導体基板1上に、例えばSiO<sub>2</sub>等からなる層間絶縁膜5bをCVD法等によって形成することにより、電極7a~7eおよびビット線BLを被覆した後、例えばクラウン形のキャパシタ14を形成する。

【0318】次に、本実施の形態6の半導体集積回路装置の各部の不純物濃度分布を図74~図79によって説明する。

【0319】図74は短チャネル抑制用のp<sup>-</sup>形半導体領域4pの不純物濃度分布は、n<sup>-</sup>形半導体領域3n1aの不純物濃度分布よりも深い位置まで広がっている。n<sup>+</sup>形半導体領域3n1bは、n<sup>-</sup>形半導体領域3n1aおよびp<sup>-</sup>形半導体領域4pの不純物濃度分布よりも高濃度で、かつ、深い位置まで広がっている。なお、n<sup>-</sup>形半導体領域3n1a、短チャネル抑制用のp<sup>-</sup>形半導体領域4pおよびn<sup>+</sup>形半導体領域3n1bの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0320】図75はnウエル給電領域10nにおける不純物濃度分布を示している。p<sup>-</sup>形半導体領域11pの不純物分布は、n<sup>-</sup>形半導体領域10naの不純物分布よりも深い位置まで広がっている。しかし、n<sup>+</sup>形半導体領域10nbは、そのp<sup>-</sup>形半導体領域11pの不純物分布よりも高濃度で、かつ、深い位置まで広がっている。したがって、nウエルNWに対してウエル電位を良好に供給することが可能となっている。なお、p<sup>-</sup>(Channel)はpMOS3pのしきい電圧設定のためにチャネルに導入した不純物の濃度分布である。また、n<sup>-</sup>形半導体領域10na、p<sup>-</sup>形半導体領域11pおよびn<sup>+</sup>形半導体領域10nbの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0321】図76はpMOS3pのソース・ドレイン部分における不純物濃度分布を示している。短チャネル抑制用のn<sup>-</sup>形半導体領域4nの不純物濃度分布は、p

<sup>-</sup>形半導体領域3p1aの不純物濃度分布よりも深い位置まで広がっている。p<sup>+</sup>形半導体領域3p1bは、p<sup>-</sup>形半導体領域3p1aおよびN<sup>-</sup>形半導体領域4Nの不純物濃度分布よりも高濃度で、かつ、深い位置まで広がっている。なお、p<sup>-</sup>(Channel)はpMOS3pのしきい電圧設定のためにチャネルに導入した不純物の濃度分布である。また、p<sup>-</sup>形半導体領域3p1a、短チャネル抑制用のn<sup>-</sup>形半導体領域4nおよびp<sup>+</sup>形半導体領域3p1bの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0322】図77はpウエル給電領域10pにおける不純物濃度分布を示している。n<sup>-</sup>形半導体領域11nの不純物分布は、p<sup>-</sup>形半導体領域10paの不純物分布よりも深い位置まで広がっている。しかし、p<sup>+</sup>形半導体領域10pbは、そのn<sup>-</sup>形半導体領域11nの不純物分布よりも高濃度で、かつ、深い位置まで広がっている。したがって、pウエルPWに対してもウエル電位を良好に供給することが可能となっている。なお、p<sup>-</sup>形半導体領域10pa、n<sup>-</sup>形半導体領域11nおよびp<sup>+</sup>形半導体領域10pbの不純物濃度分布は、それらの不純物を絶縁膜21を通じて半導体基板1に打ち込んでいるので絶縁膜21にも存在している。

【0323】図78は図73のメモリセル領域Mの要部拡大断面図を模式的に示し、図79はこの図78の選択MOS13のソース・ドレイン部分における不純物濃度分布を示している。なお、図78においては図面を分かりやすくするために半導体領域13n1a, 13n1bにはハッチングを付していない。

【0324】n<sup>-</sup>形半導体領域13n1a3(13n1b3)は図78に示すように半導体基板1の横方向および厚さ方向に広い不純物濃度分布の広がりを有している。n<sup>+</sup>形半導体領域13n1a2(13n1b2)は、そのn<sup>-</sup>形半導体領域13n1a3(13n1b3)の不純物濃度分布よりも高濃度となっているが、相対的に不純物濃度の低いn<sup>-</sup>形半導体領域13n1a3(13n1b3)によって全体的に取り囲まれている。これにより、高い電界がn<sup>+</sup>形半導体領域13n1a2(13n1b2)に局部的に印加されてしまう現象を抑制することが可能となり、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となっている。

【0325】このような本実施の形態6においても、前記実施の形態1, 2, 4, 5で得られた効果の他に以下の効果を得ることが可能となる。

【0326】(1).メモリセル選択MOS・FET用のn<sup>-</sup>形の半導体領域13n1a1, 13n1b1を形成するための不純物注入工程を行わないことにより、半導体集積回路装置の製造時間の短縮および製造コストの低減を図ることが可能となる。

【0327】(2).メモリセル選択MOS・FET用のn



形半導体領域13n1a1,13n1b1を形成するための不純物注入工程を行わないことにより、半導体基板1に導入される不純物濃度を低減することができるので、接合容量を低減でき、半導体集積回路装置の動作速度の向上を図ることが可能となる。

【0328】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1～6に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0329】例えば前記実施の形態1～6においては、素子分離部を溝掘り埋込形の素子分離部を形成した場合について説明したが、これに限定されるものではなく、例えばフィールド絶縁膜による素子分離部を形成しても良い。

【0330】また、前記実施の形態1～3においては、ゲート電極をポリシリコンとシリサイドとの積層構造とした場合について説明したが、これに限定されるものではなく、例えばゲート電極をポリシリコンの単体膜、または低抵抗ポリシリコン上に窒化チタンや窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を積み重ねてなる、いわゆるポリメタル構造で構成しても良い。

【0331】また、前記実施の形態1～3においては、半導体基板にpウェルおよびnウェルを有する構造に適用した場合について説明したが、これに限定されるものではなく、例えばpウェルまたはnウェルのいずれか一方を有する場合でnチャネル形のMOS・FETおよびpチャネル形のMOS・FETを同一半導体基板に設ける構造の場合にも適用できる。

【0332】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMの製造技術に適用した場合について説明したが、これに限定されるものではなく、例えば情報蓄積用のキャパシタの容量絶縁膜として強誘電体薄膜を用いるFRAM（Ferroelectric RAM）の製造技術等に適用できる。このFRAMの構造は前記実施の形態1～6で説明したDRAMと同じである。なお、この場合、キャパシタの蓄積電極は、例えば白金（Pt）等のような耐酸化性の高い、反応性の低い、しかも加工性の良い材料で構成されている。また、その容量絶縁膜は、例えば $PbZr_xTi_{1-x}O_3$ 系の誘電体材料からなる。プレート電極（容量絶縁膜と接する電極）は、蓄積電極と同じ理由から、例えばPtによって構成されている。

【0333】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0334】(1)本発明の半導体集積回路装置の製造方法によれば、1つの第1マスクを用いて、nチャネル形

のMISトランジスタのソース・ドレイン領域用のn<sup>+</sup>形半導体領域、nチャネル形のMISトランジスタでの短チャネル効果抑制用のp<sup>-</sup>形半導体領域およびnウェル給電領域を形成するための不純物導入工程を行い、かつ、1つの第2マスクを用いてpチャネル形のMISトランジスタのソース・ドレイン領域用のp<sup>+</sup>形半導体領域、pチャネル形のMISトランジスタでの短チャネル効果抑制用のn<sup>-</sup>形半導体領域およびpウェル給電領域を形成するための不純物導入工程を行うことにより、フォトレジストの形成および除去工程数を大幅に低減することができるので、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程を低減することが可能となる。

【0335】(2)本発明の半導体集積回路装置の製造方法によれば、1つの第1マスクを用いてnチャネル形のMISトランジスタのソース・ドレイン領域用のn<sup>+</sup>形半導体領域、n<sup>-</sup>形半導体領域、nチャネル形のMISトランジスタでの短チャネル効果抑制用のp<sup>-</sup>形半導体領域およびnウェル給電領域を形成するための不純物イオン導入工程を行い、かつ、1つの第2マスクを用いてpチャネル形のMISトランジスタのソース・ドレイン領域用のp<sup>+</sup>形半導体領域、p<sup>-</sup>形半導体領域、pチャネル形のMISトランジスタでの短チャネル効果抑制用のn<sup>-</sup>形半導体領域およびpウェル給電領域を形成するための不純物イオン導入工程を行うことにより、フォトレジストの形成および除去工程数を大幅に低減することができる。このため、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程を低減することが可能となる。

【0336】(3)本発明の半導体集積回路装置の製造方法によれば、nチャネル形MIS・FET形成領域が露出する1つの第1マスクを用いて第3半導体領域、第4半導体領域および第5半導体領域を形成するための不純物導入工程を行い、かつ、pチャネル形MIS・FET形成領域が露出する1つの第2マスクを用いて第6半導体領域、第7半導体領域および第8半導体領域を形成するための不純物導入工程を行うことにより、同一半導体基板上にnチャネル形MIS・FETおよびpチャネル形MIS・FETを形成する場合に、フォトレジストの形成および除去工程数を大幅に低減することができる。このため、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程数を低減することが可能となる。

【0337】(4)本発明の半導体集積回路装置の製造方法によれば、n<sup>+</sup>チャネル形MIS・FET形成領域および第2給電領域が露出する1つの第1マスクを用いて第3半導体領域、第4半導体領域および第5半導体領域を

形成するための不純物導入工程を行い、かつ、pチャネル形MIS・FET形成領域および第1給電領域が露出する1つの第2マスクを用いて第6半導体領域、第7半導体領域および第8半導体領域を形成するための不純物導入工程を行うことにより、同一半導体基板上にnチャネル形MIS・FETおよびpチャネル形MIS・FETを形成する場合に、nチャネル形MIS・FETおよびpチャネル形MIS・FETを構成する半導体領域の形成と同時に第1給電領域および第2給電領域を構成する半導体領域を形成することができるとともに、フォトレジストの形成および除去工程数を大幅に低減することができる。このため、nチャネル形のMISトランジスタ、pチャネル形のMISトランジスタ、第1給電領域および第2給電領域を同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程を低減することが可能となる。

【0338】(5)本発明の半導体集積回路装置の製造方法によれば、前記n形の第3不純物は、前記半導体基板の主面に対して垂直な方向に対して第1の傾きを持ってイオン打ち込みし、前記p形の第1不純物およびn形の第2不純物は、前記半導体基板の主面に対して垂直な方向に対して第2の傾きを持ってイオン打ち込みし、前記第2の傾きは、前記第1の傾きよりも大きく、前記p形の第6不純物は、前記半導体基板の主面に対して垂直な方向に対して第3の傾きを持ってイオン打ち込みし、前記n形の第4不純物およびp形の第5不純物は、前記半導体基板の主面に対して垂直な方向に対して第4の傾きを持ってイオン打ち込みし、前記第4の傾きは、前記第3の傾きよりも大きいことにより、第1給電領域および第2給電領域において接合不良を生じることなく、第1給電領域および第2給電領域を構成する半導体領域を形成することが可能となる。

【0339】(6)本発明の半導体集積回路装置の製造方法によれば、前記第1給電領域および第3給電領域において、前記第8半導体領域は、前記第6半導体領域および第7半導体領域を覆うように形成され、前記第2給電領域において、前記第5半導体領域は、前記第3半導体領域および第4半導体領域を覆うように形成されていることにより、第1給電領域および第2給電領域において接合不良を生じることなく、第1給電領域および第2給電領域を構成する半導体領域を形成することが可能となる。

【0340】(7)上記(1)、(2)、(3)または(4)により、その半導体集積回路装置の製造プロセスを簡略化することができ半導体集積回路装置の製造時間の短縮および製造コストの低減を図ることが可能となるとともに、異物の付着率を低減することができるので、その半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0341】(8)上記(1)、(2)、(3)または(4)によ

り、nチャネル形のMISトランジスタおよびpチャネル形のMISトランジスタを同一半導体基板上に設ける構造を有する半導体集積回路装置の製造工程で用いるフォトマスクの枚数を低減することが可能となる。したがって、その半導体集積回路装置の製造コストの低減を図ることが可能となる。

【0342】(9)本発明の半導体集積回路装置の製造方法によれば、pチャネル形のMISトランジスタおよびnチャネル形のMISトランジスタ等における不純物イオン導入工程において、メモリセル領域にマスクを形成しておくことにより、メモリセルにおける接合リークの増加を抑えることができ、それに起因するリフレッシュ特性の劣化を抑制することができるとともに、周辺回路領域における短チャネル効果を抑制でき、電流駆動能力を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置のウェル給電領域における半導体領域の分布を示すグラフ図である。

【図3】本発明者が検討したウェル給電領域における半導体領域の分布を示すグラフ図である。

【図4】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図5】図1の半導体集積回路装置の図4に続く製造工程中における要部断面図である。

【図6】図1の半導体集積回路装置の図5に続く製造工程中における要部断面図である。

【図7】図1の半導体集積回路装置の図6に続く製造工程中における要部断面図である。

【図8】図1の半導体集積回路装置の図7に続く製造工程中における要部断面図である。

【図9】図1の半導体集積回路装置の図8に続く製造工程中における要部断面図である。

【図10】図1の半導体集積回路装置の図9に続く製造工程中における要部断面図である。

【図11】図1の半導体集積回路装置の図10に続く製造工程中における要部断面図である。

【図12】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図13】図12の半導体集積回路装置の製造工程中における要部断面図である。

【図14】図12の半導体集積回路装置の図13に続く製造工程中における要部断面図である。

【図15】図12の半導体集積回路装置の図14に続く製造工程中における要部断面図である。

【図16】図12の半導体集積回路装置の図15に続く製造工程中における要部断面図である。

【図17】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。



中における要部断面図である。

【図 4 3】図 4 0 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 4 4】図 4 0 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 45】図 40 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図４６】図４０に続く半導体集積回路装置の製造工程中における要部断面図である。

10 【図47】図40に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図 48】図 40 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 49】図 40 に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図50】図40に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図51】図40に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図52】図40に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図53】図40に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図54】図40に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図 5 5】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である。

【図56】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である

30 【図57】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である。

【図 5 8】本実施の形態の半導体集積回路装置の要部の

【図５９】本発明の他の実施の形態である半導体集積回路

【図60】図59半導体集積回路装置の製造工程中における要部断面図である。

ける要部断面図である。

【図61】図59に続く半導体集積回路装置の製造工程

【図61】図59に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図62】図59に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図63】図59に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図64】図59に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図65】図59に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図66】図59に続く半導体集積回路装置の製造工程  
中における要部断面図である。

【図67】図59に続く半導体集積回路装置の製造工程

中における要部断面図である。

【図68】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図69】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図70】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図71】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図72】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図73】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図74】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である。

【図75】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である。

【図76】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である。

【図77】本実施の形態の半導体集積回路装置の要部の不純物濃度分布を説明するための説明図である。

【図78】本実施の形態の半導体集積回路装置のメモリセル領域の要部拡大断面図である。

【図79】図78のメモリセル選択MOS・FETのソース・ドレインの不純物濃度分布を説明するための説明図である。

【符号の説明】

1 半導体基板

2 素子分離部

2a 溝

2b 絶縁膜(分離膜)

3n nチャネル形のMOS・FET

3n1 n形半導体領域

3n1a n<sup>-</sup>形半導体領域(第4半導体領域)

3n1b n<sup>+</sup>形半導体領域(第5半導体領域)

3ni ゲート絶縁膜

3ng ゲート電極

3p pチャネル形のMOS・FET

3p1 p形半導体領域

3p1a p<sup>-</sup>形半導体領域(第7半導体領域)

3p1b p<sup>+</sup>形半導体領域(第8半導体領域)

3pi ゲート絶縁膜

3pg ゲート電極

4p p<sup>-</sup>形半導体領域(第3半導体領域)

4n n<sup>-</sup>形半導体領域(第6半導体領域)

5a, 5b 層間絶縁膜

6 接続孔

7a~7e 電極

8 キャップ絶縁膜

9 サイドウォール

10p pウェル給電領域

10pa p<sup>-</sup>形半導体領域(第7半導体領域)

10pb p<sup>+</sup>形半導体領域(第8半導体領域)

10n nウェル給電領域

10na n<sup>-</sup>形半導体領域(第4半導体領域)

10nb n<sup>+</sup>形半導体領域(第5半導体領域)

11p p<sup>-</sup>形半導体領域(第3半導体領域)

11n n<sup>-</sup>形半導体領域(第6半導体領域)

12a フォトリソスト(第1マスク)

12b フォトリソスト(第2マスク)

12c フォトリソスト(第1マスク)

12d フォトリソスト(第2マスク)

12e フォトリソスト(第1マスク)

12f フォトリソスト(第2マスク)

13 メモリセル選択MOS・FET

13n1 n形半導体領域

13n1a 半導体領域

13n1a1 n<sup>-</sup>形半導体領域(第10半導体領域)

13n1a2 n<sup>+</sup>形半導体領域(第12半導体領域)

13n1a3 n<sup>-</sup>形半導体領域(第11半導体領域)

13n1b 半導体領域

13n1b1 n<sup>-</sup>形半導体領域(第10半導体領域)

13n1b2 n<sup>+</sup>形半導体領域(第12半導体領域)

13n1b3 n<sup>-</sup>形半導体領域(第11半導体領域)

13ni ゲート絶縁膜

30 13ng ゲート電極

14 キャパシタ

14a 第1電極

14b キャパシタ絶縁膜

14c 第2電極

15 キャップ絶縁膜

16 サイドウォール

17a, 17b 接続孔

18 導体膜

19 接続孔

40 20 接続孔

21 絶縁膜

PW pウェル(第1半導体領域、第9半導体領域)

NW nウェル(第2半導体領域)

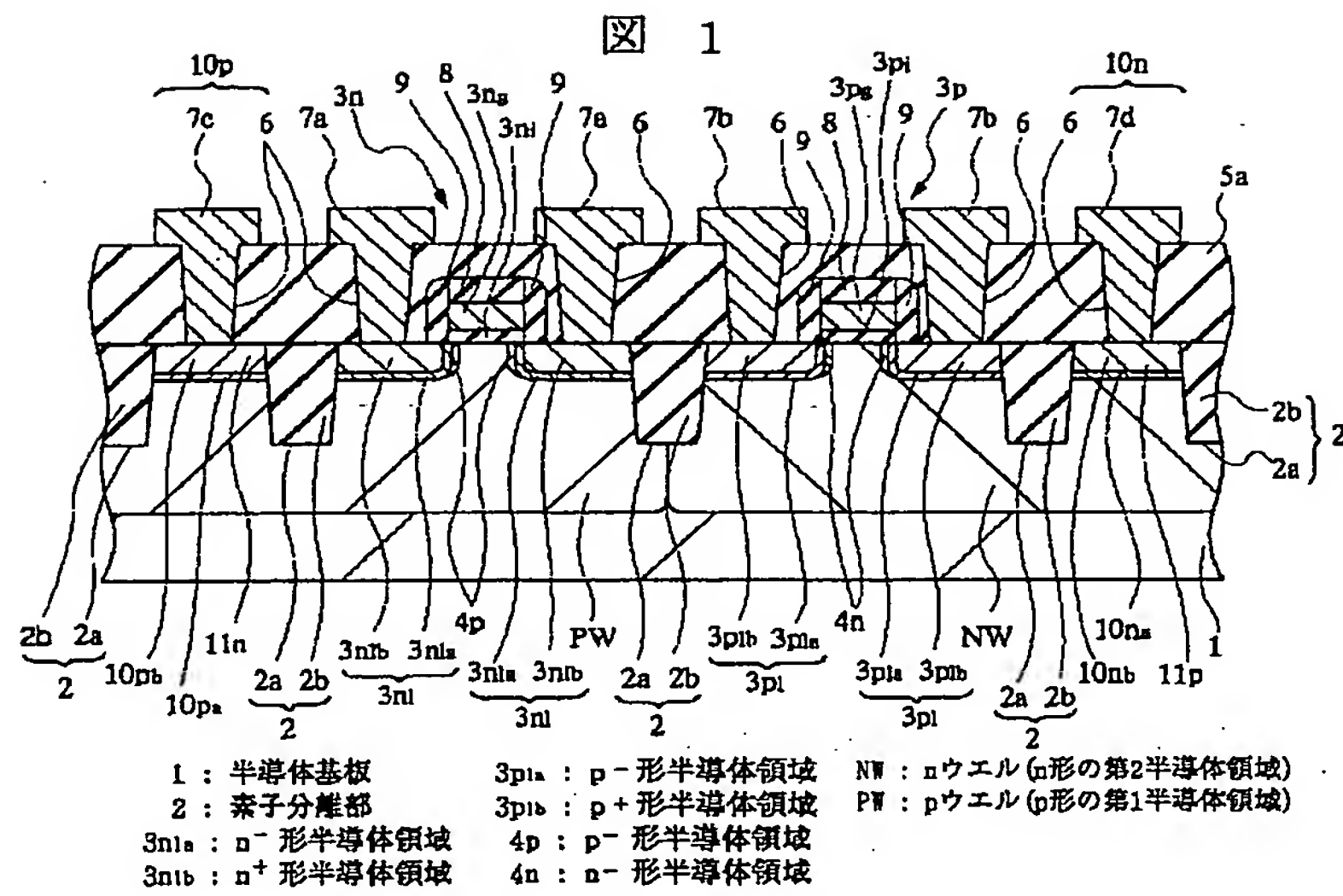
M メモリセル領域

MC メモリセル

P 周辺回路領域

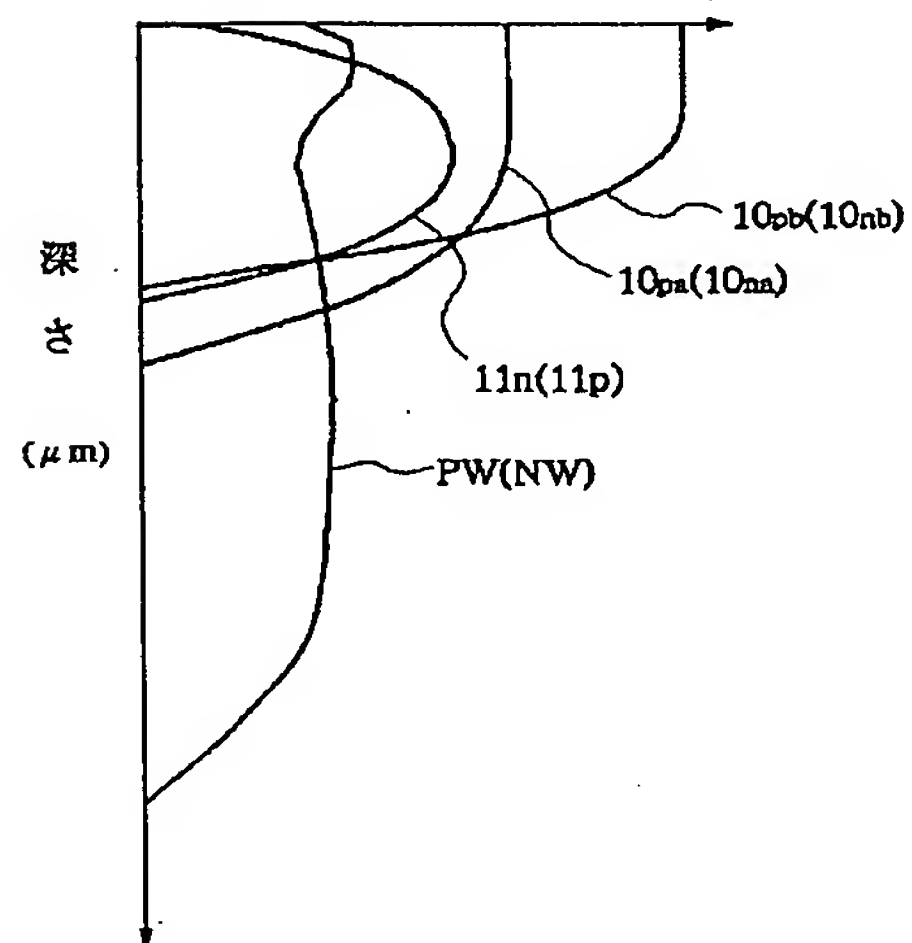


【図1】



【図2】

図 2



【図3】

図 3

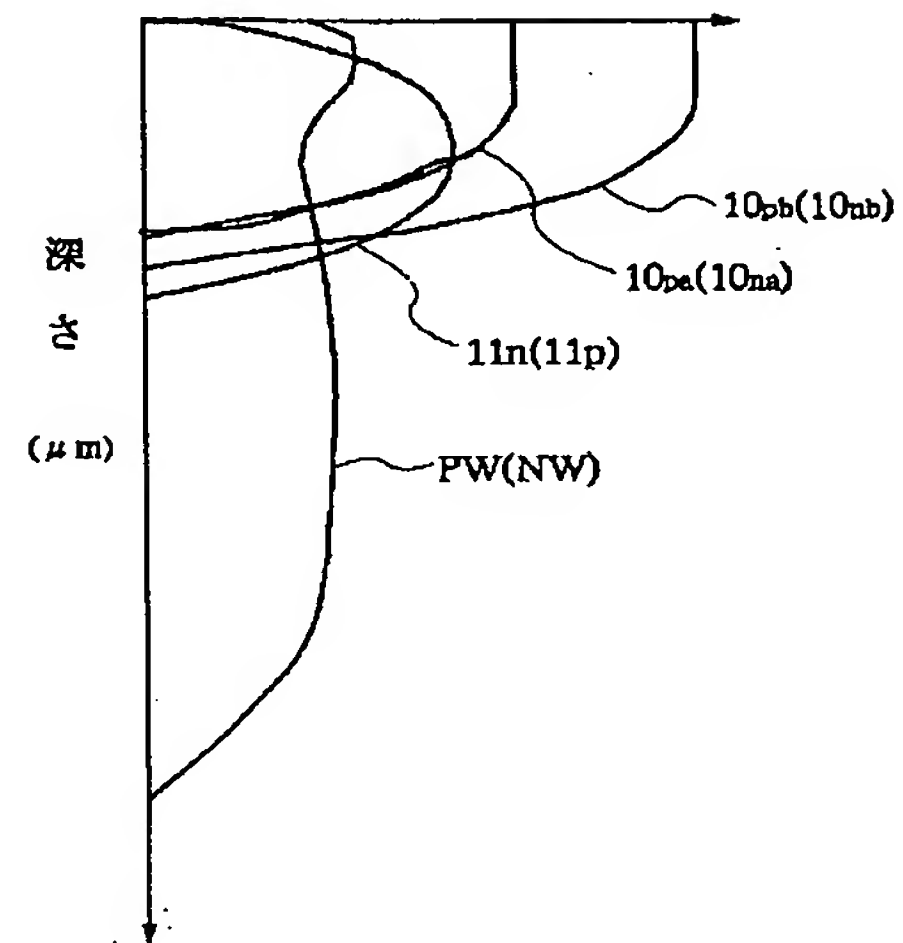


Figure 4 shows a schematic diagram of a rectangular domain with a central square hole. The domain is divided into four quadrants by a vertical line and a horizontal line. The central square hole is also divided into four quadrants. The quadrants are labeled with numbers 1 through 8, starting from the top-left and proceeding clockwise. The top-left quadrant is labeled 1, the top-right is 2, the bottom-right is 3, and the bottom-left is 4. The central square hole has its own set of labels: the top-left quadrant is 5, the top-right is 6, the bottom-right is 7, and the bottom-left is 8. The domain is bounded by a thick black line. The central square hole is bounded by a thick black line. The quadrants are separated by thin black lines.

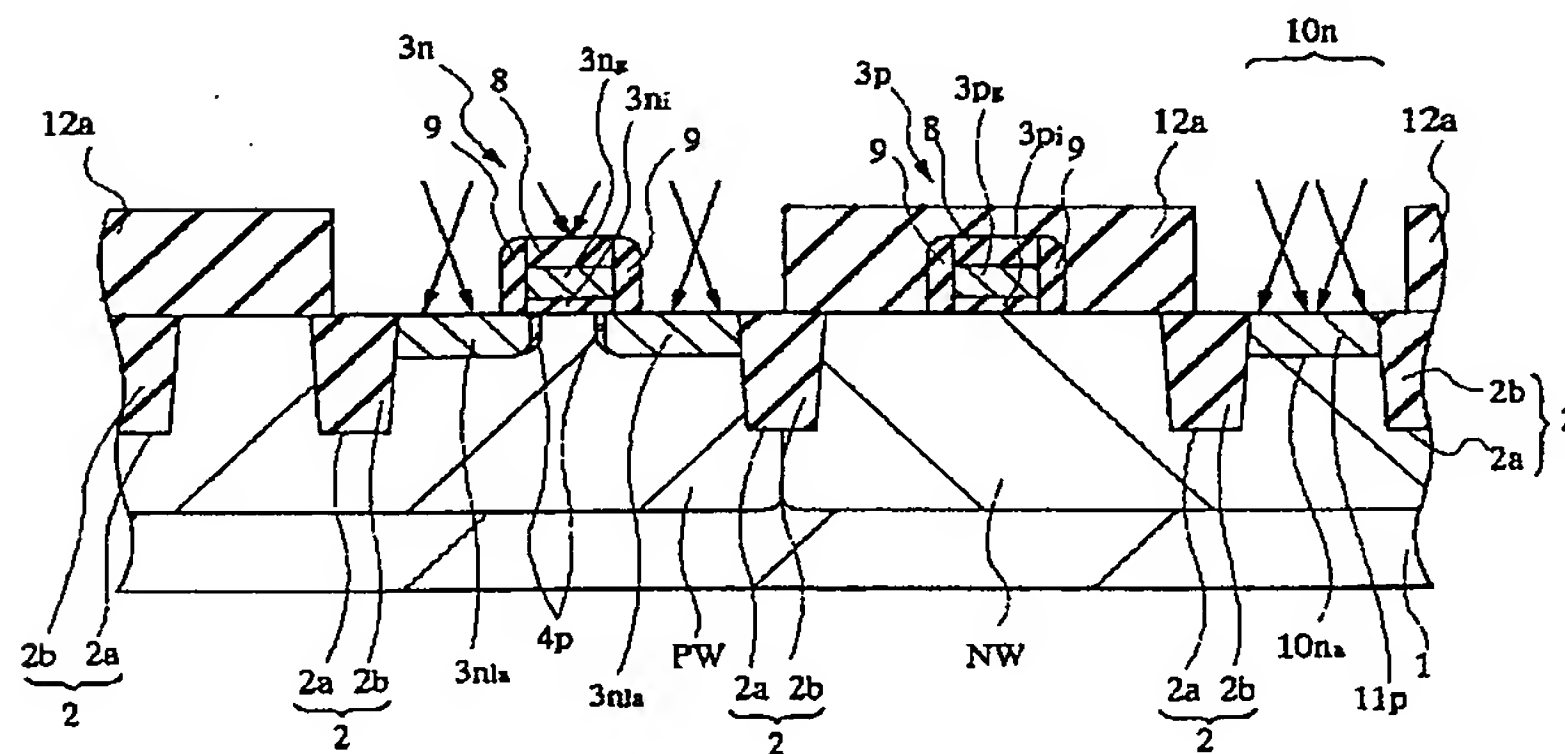




图 7

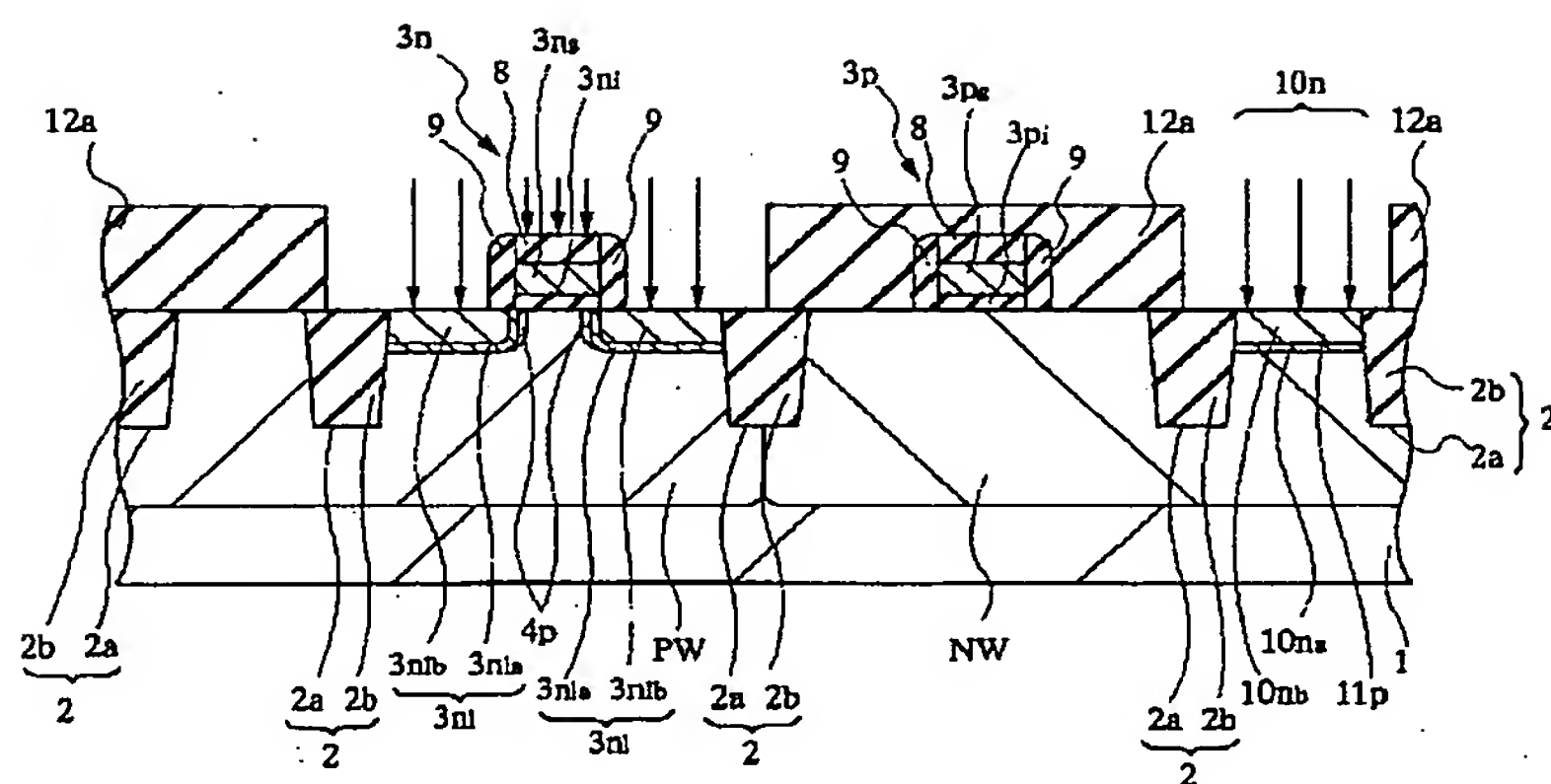
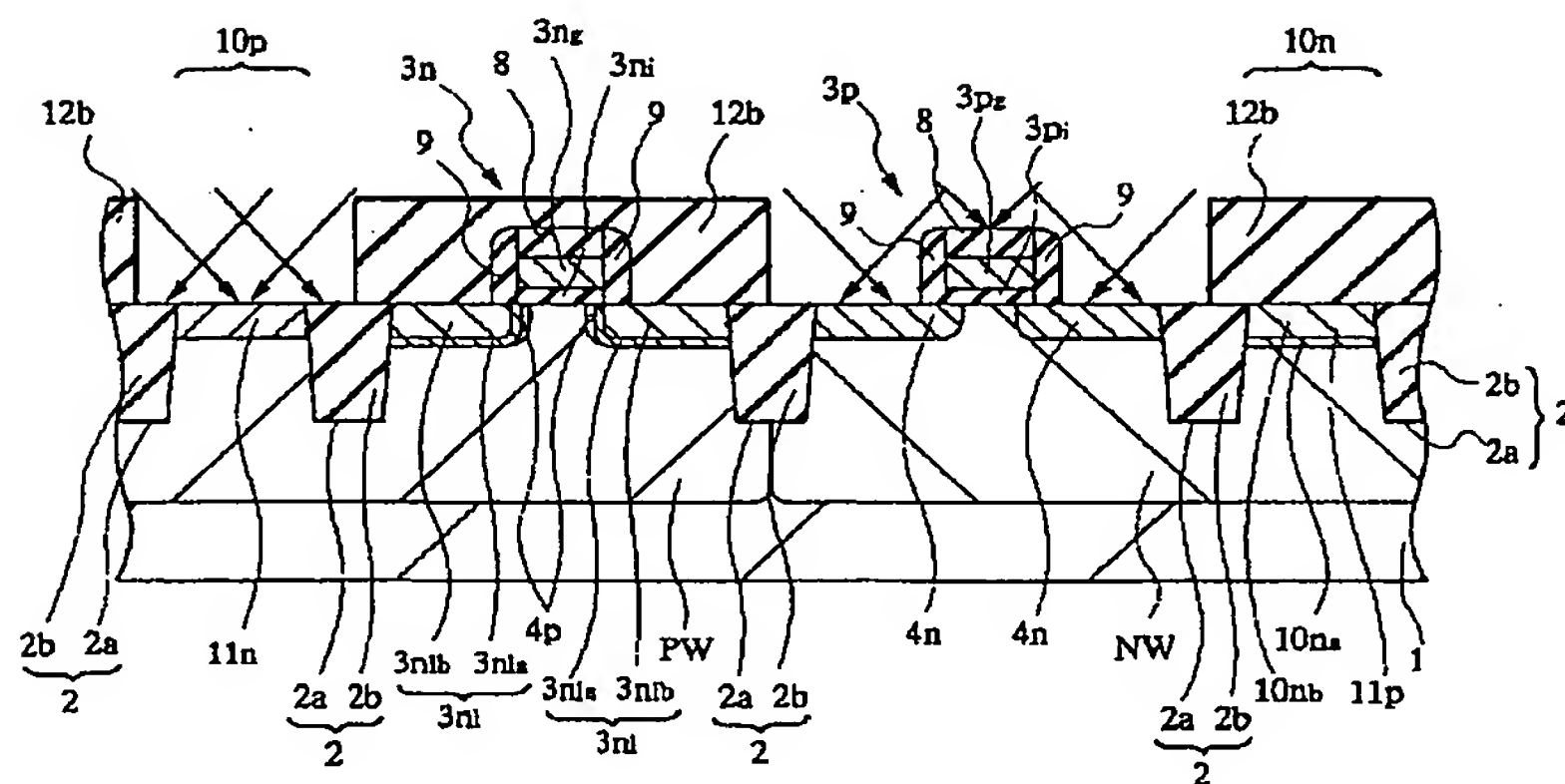


图 8

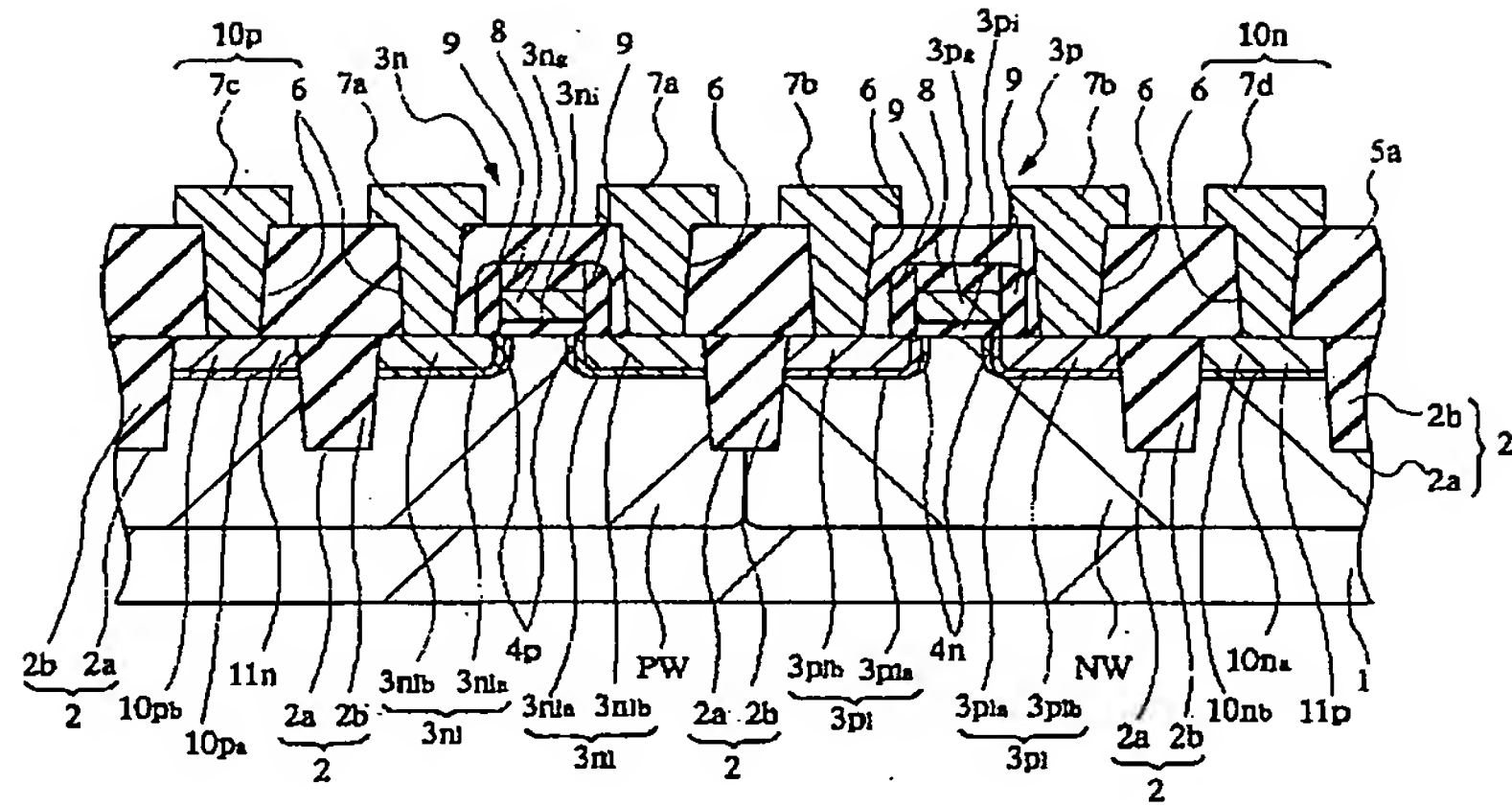






【図11】

図 11



【図12】

図 12

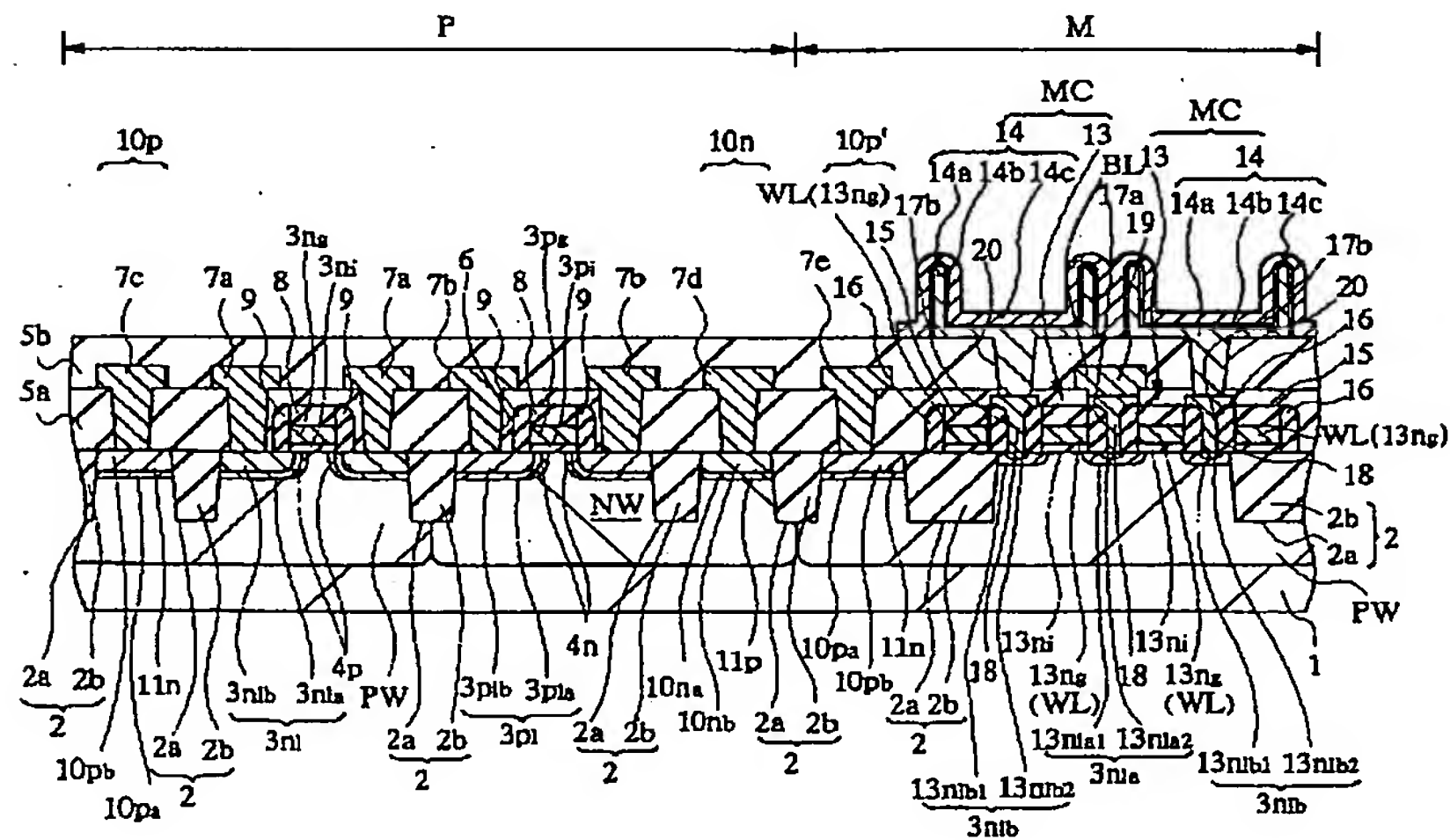
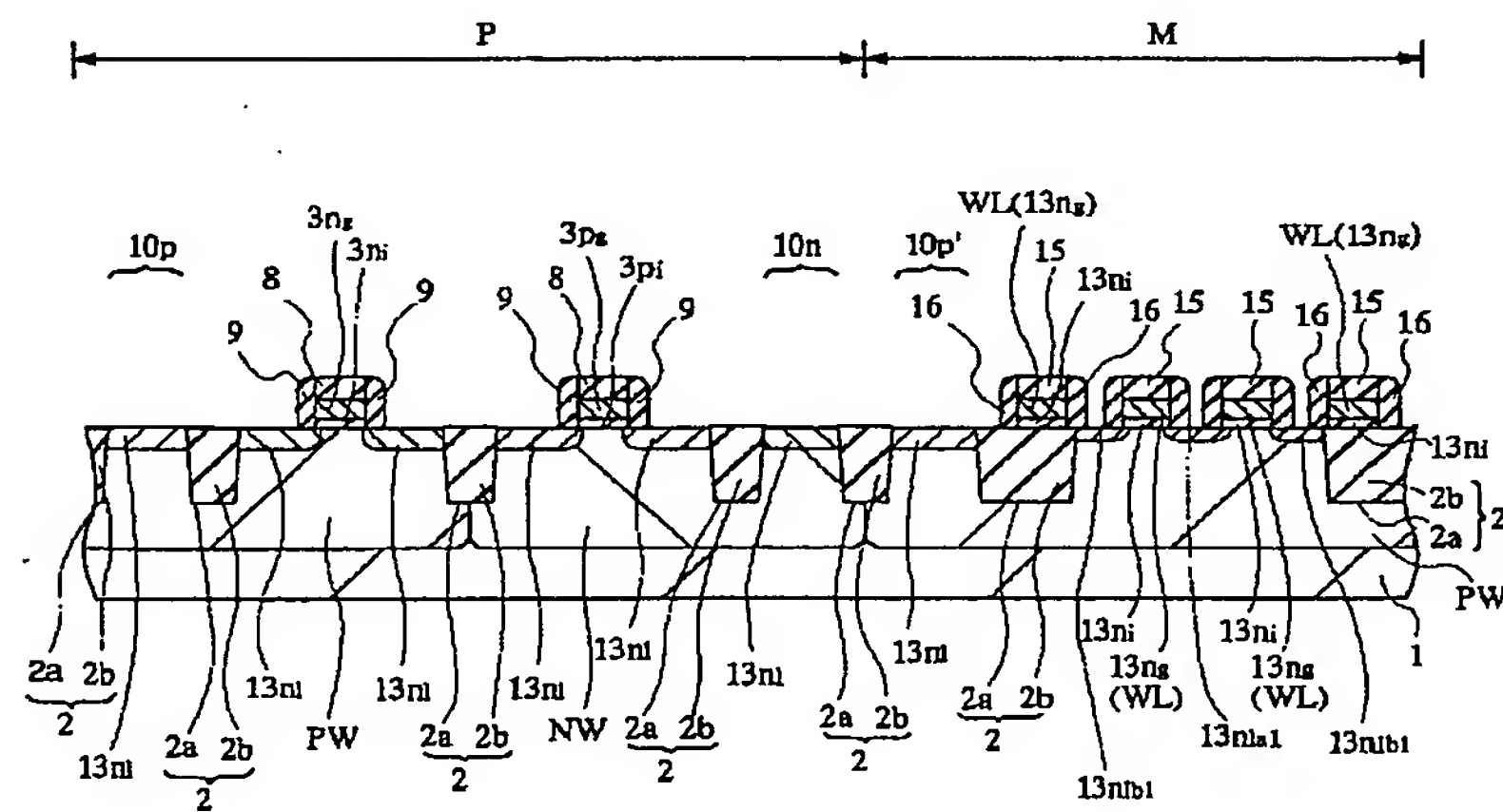


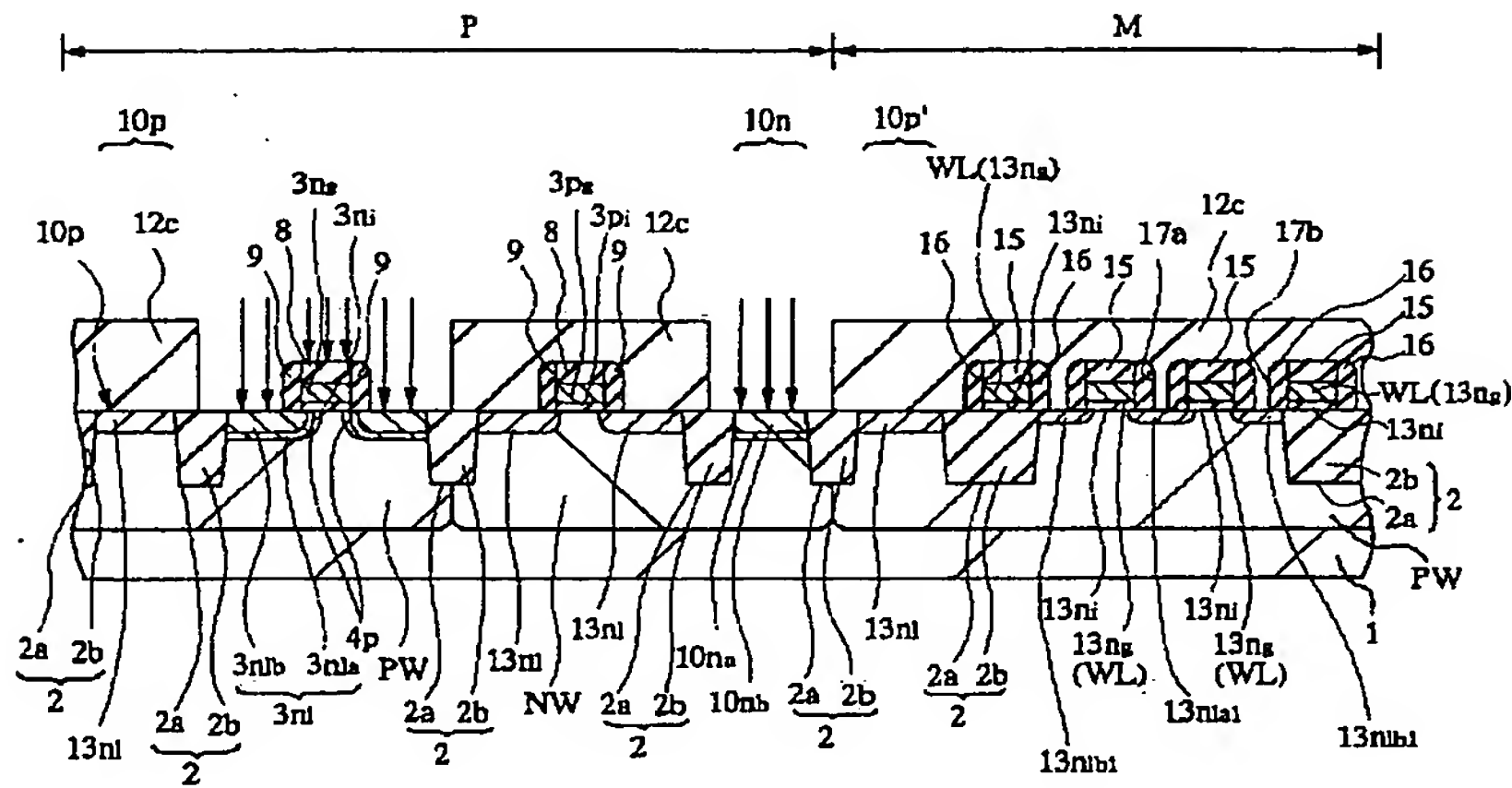
図 13





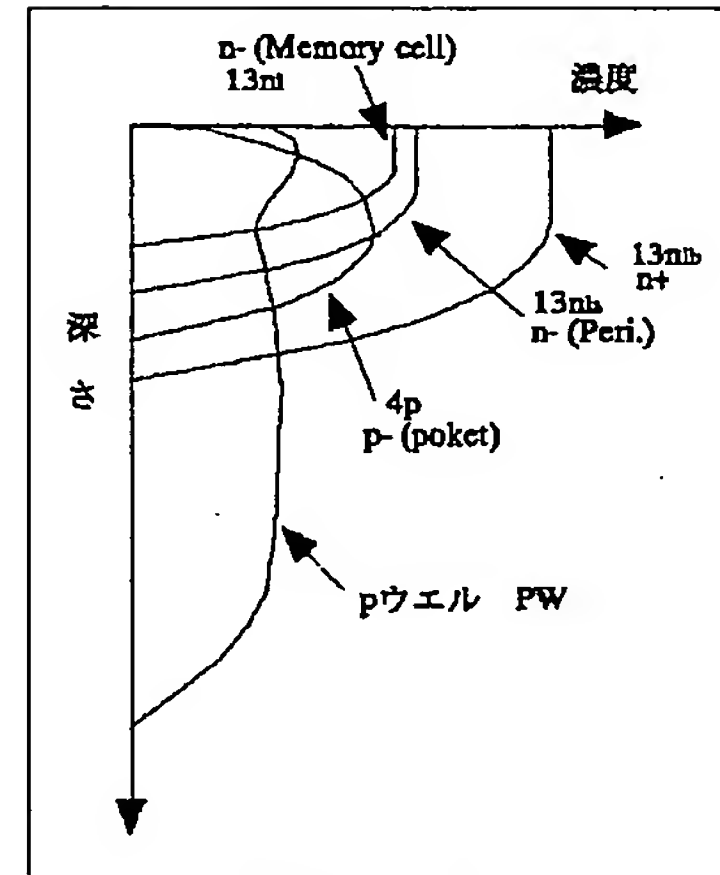
【図15】

図 15



【図34】

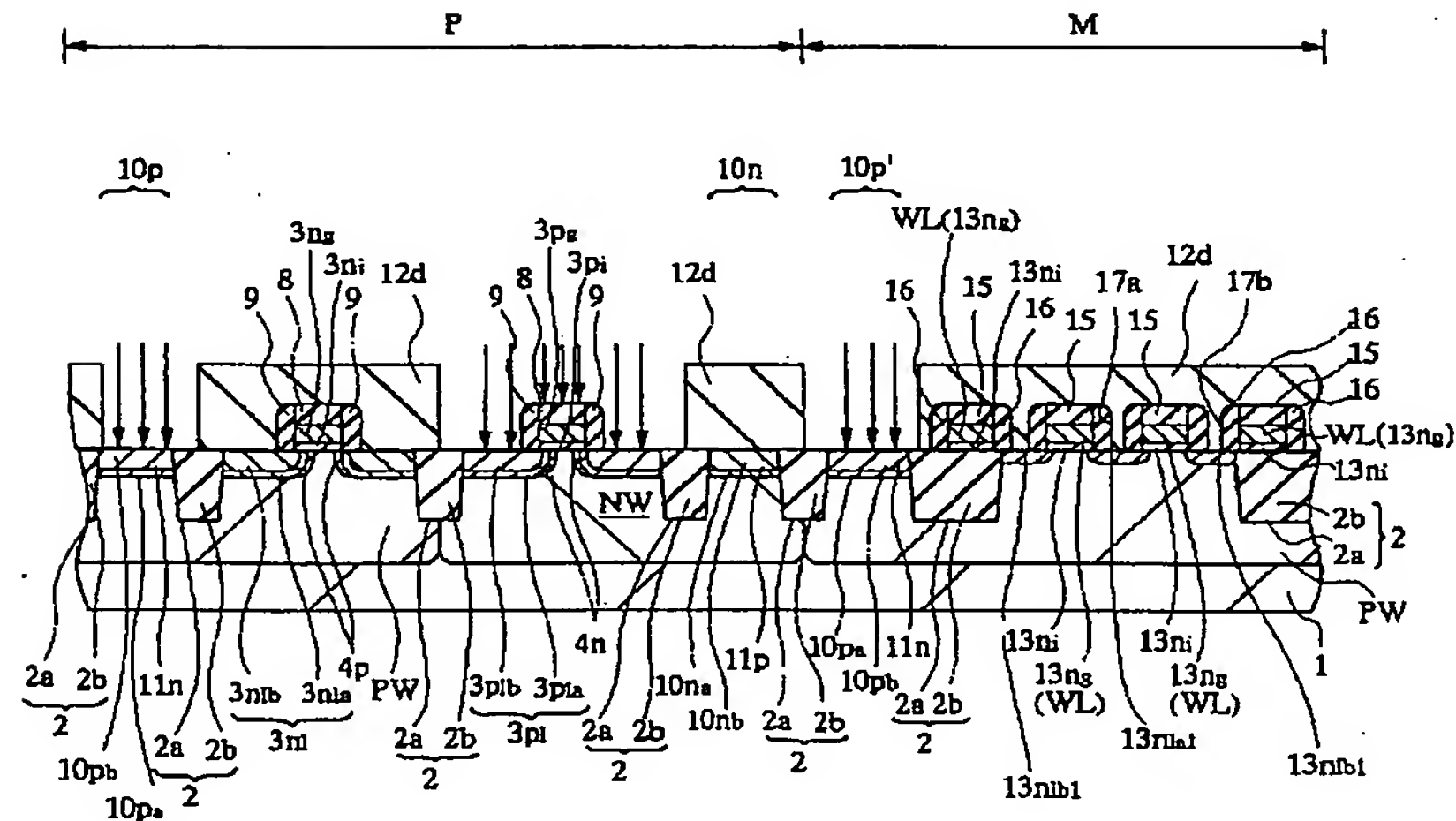
図 34



nチャネルMOS-FET  
のソース・ドレインの不純物濃度分布

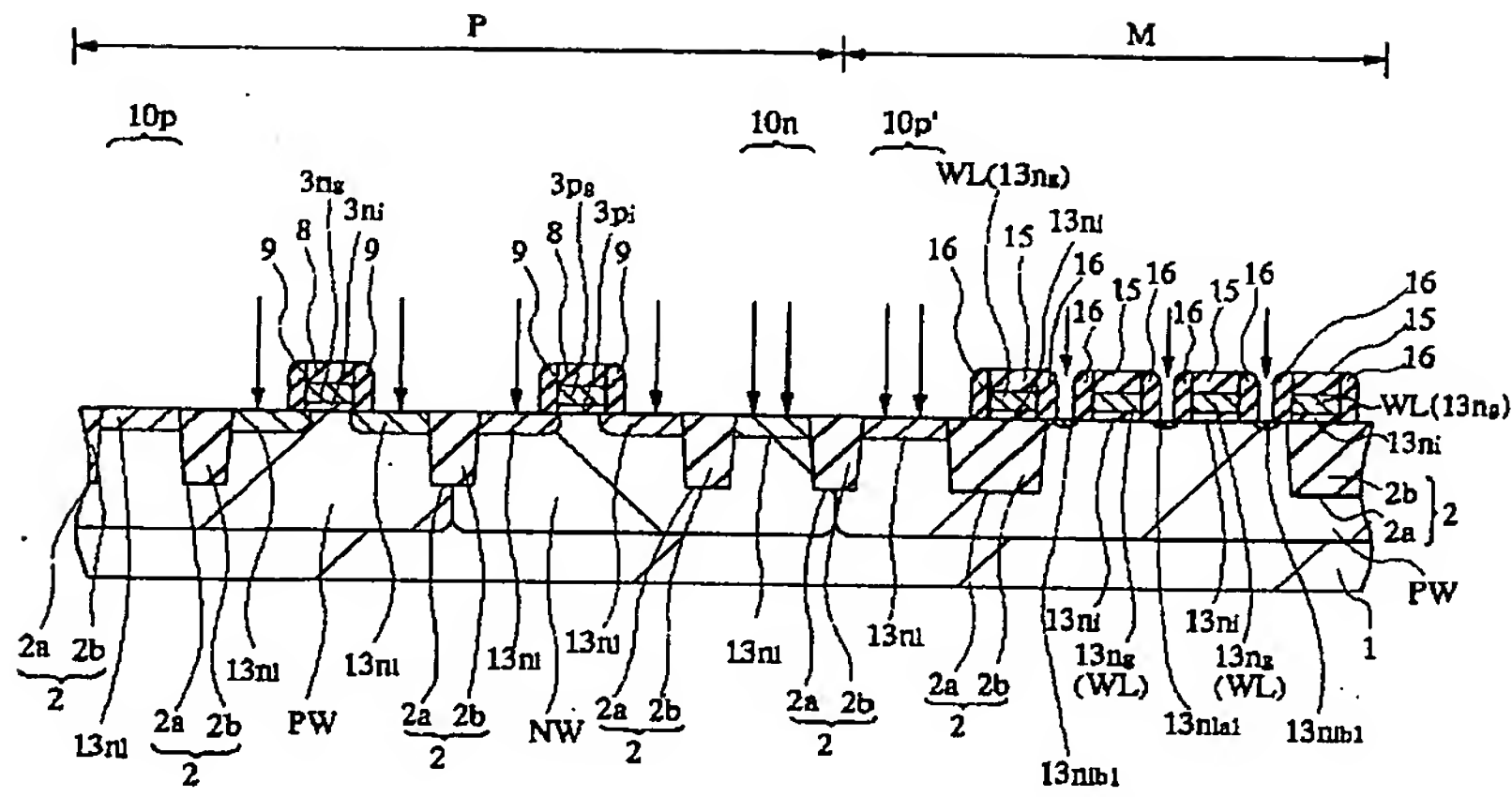
【図16】

図 16



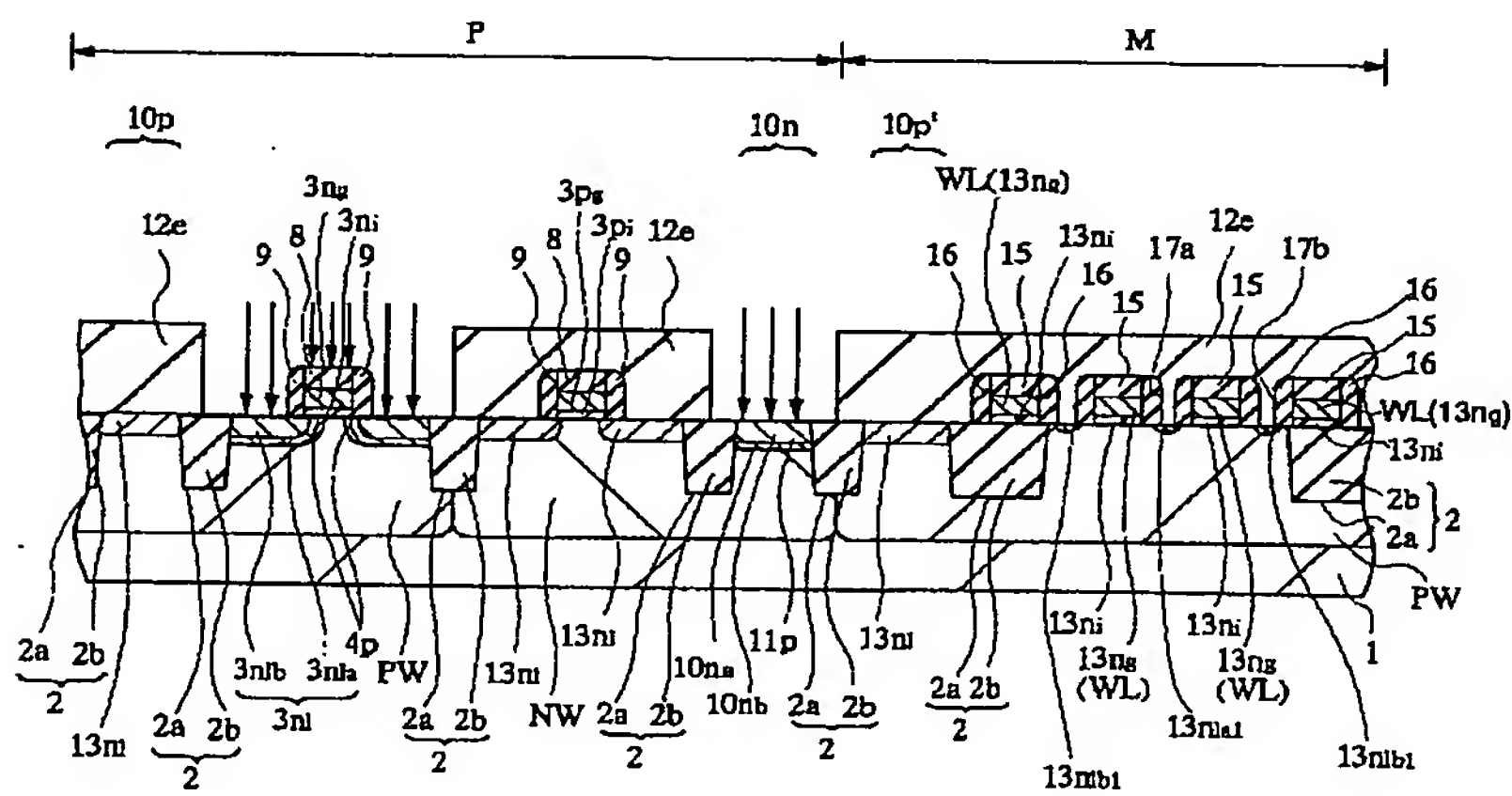
【図17】

図 17



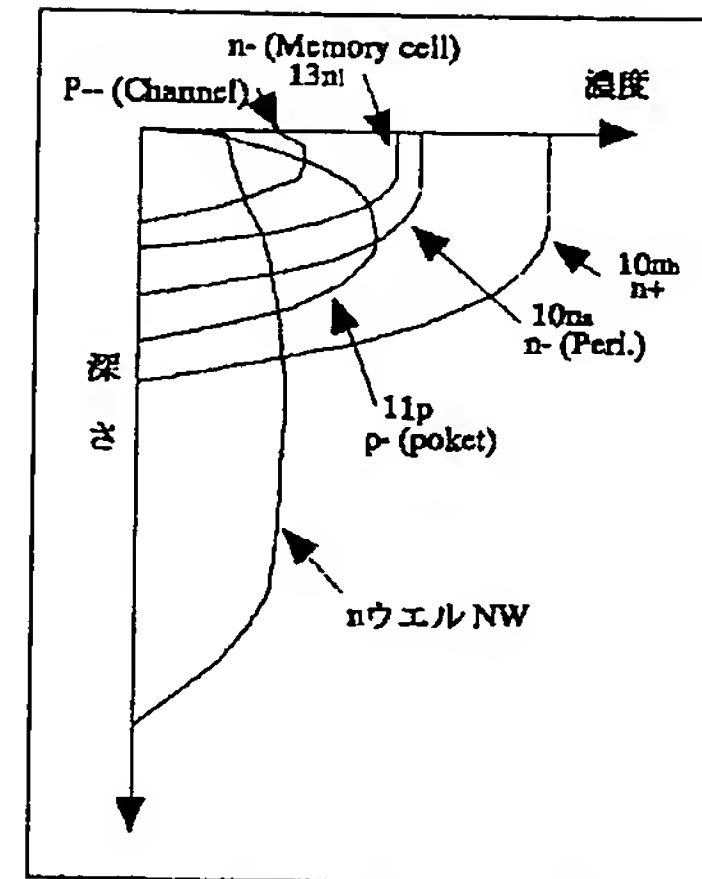
【図18】

図 18



【図35】

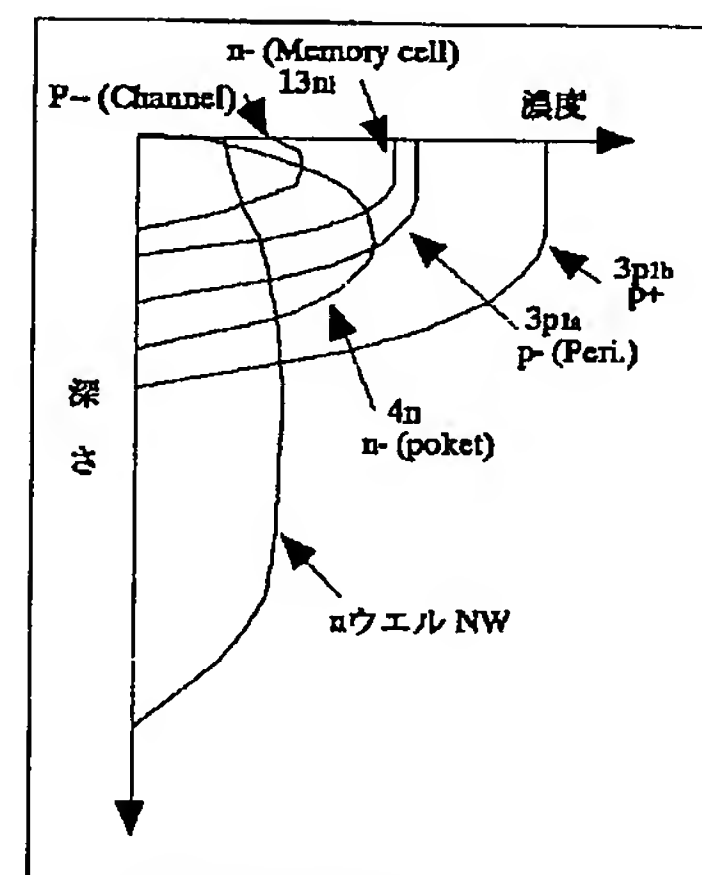
図 35



nウエル給電領域の不純物濃度分布

【図36】

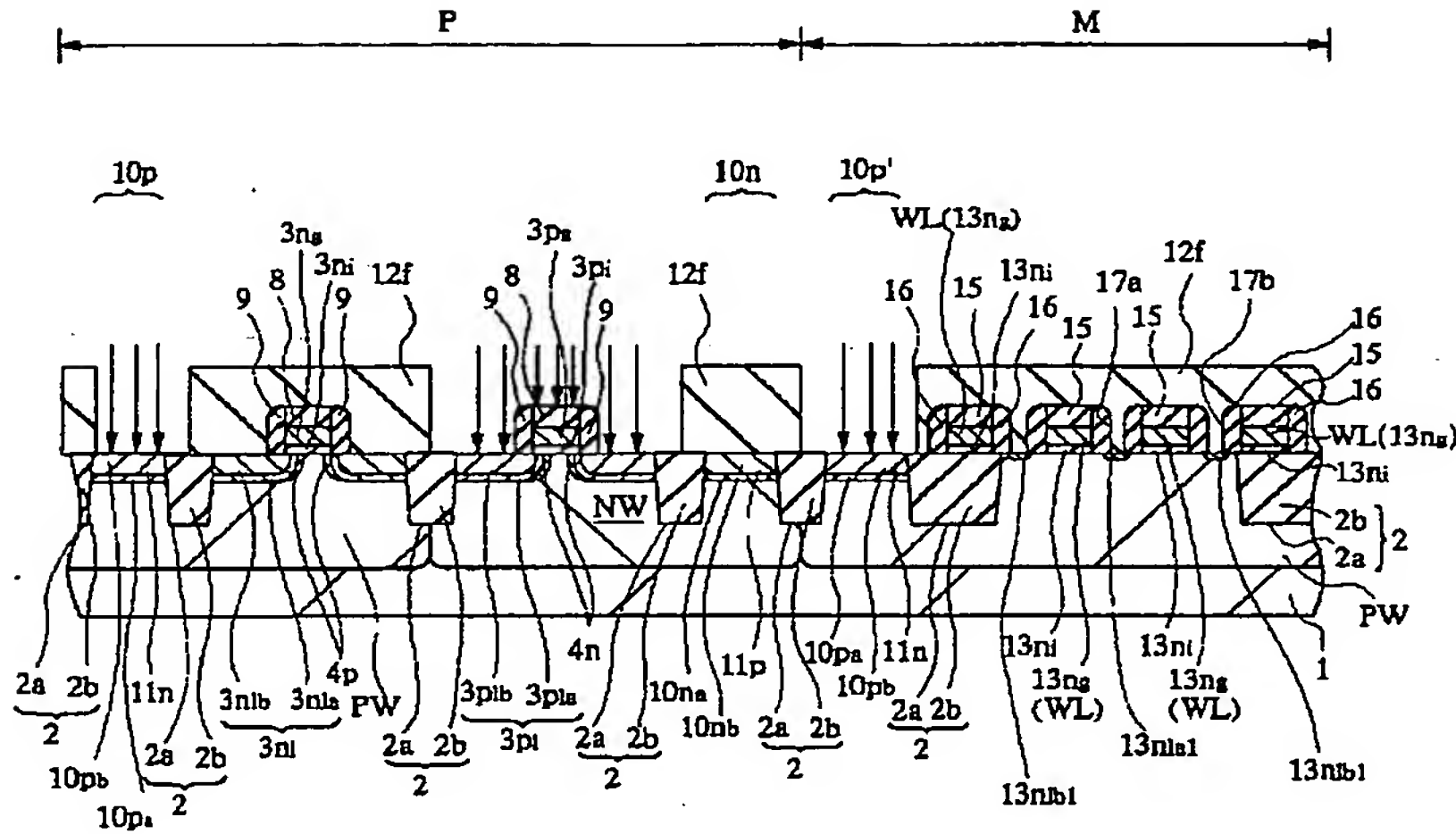
図 36

pチャネルMOS-FET  
のソース・ドレインの不純物濃度分布



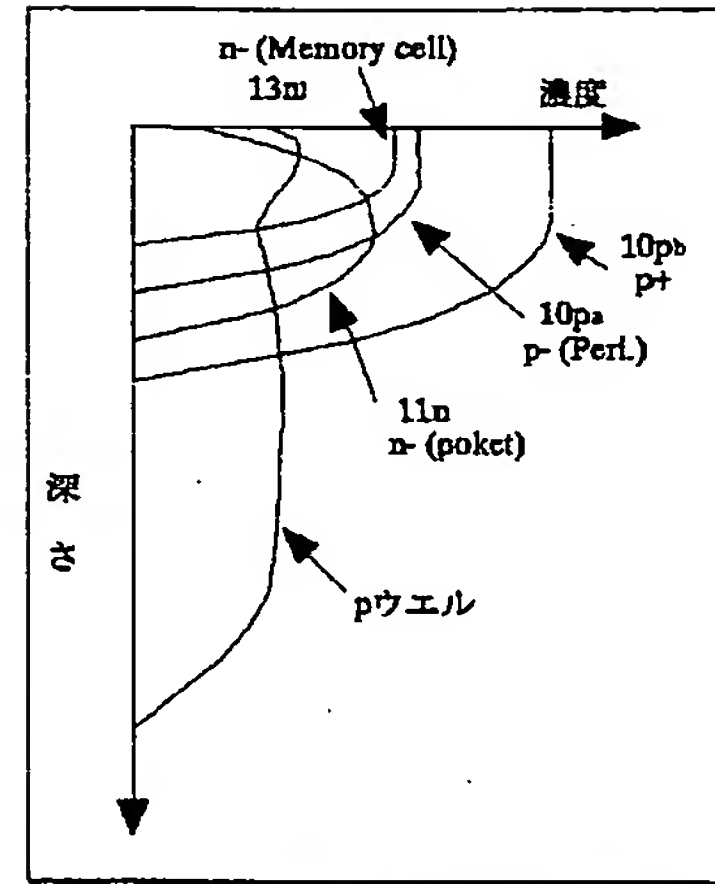
【図19】

図 19



【図37】

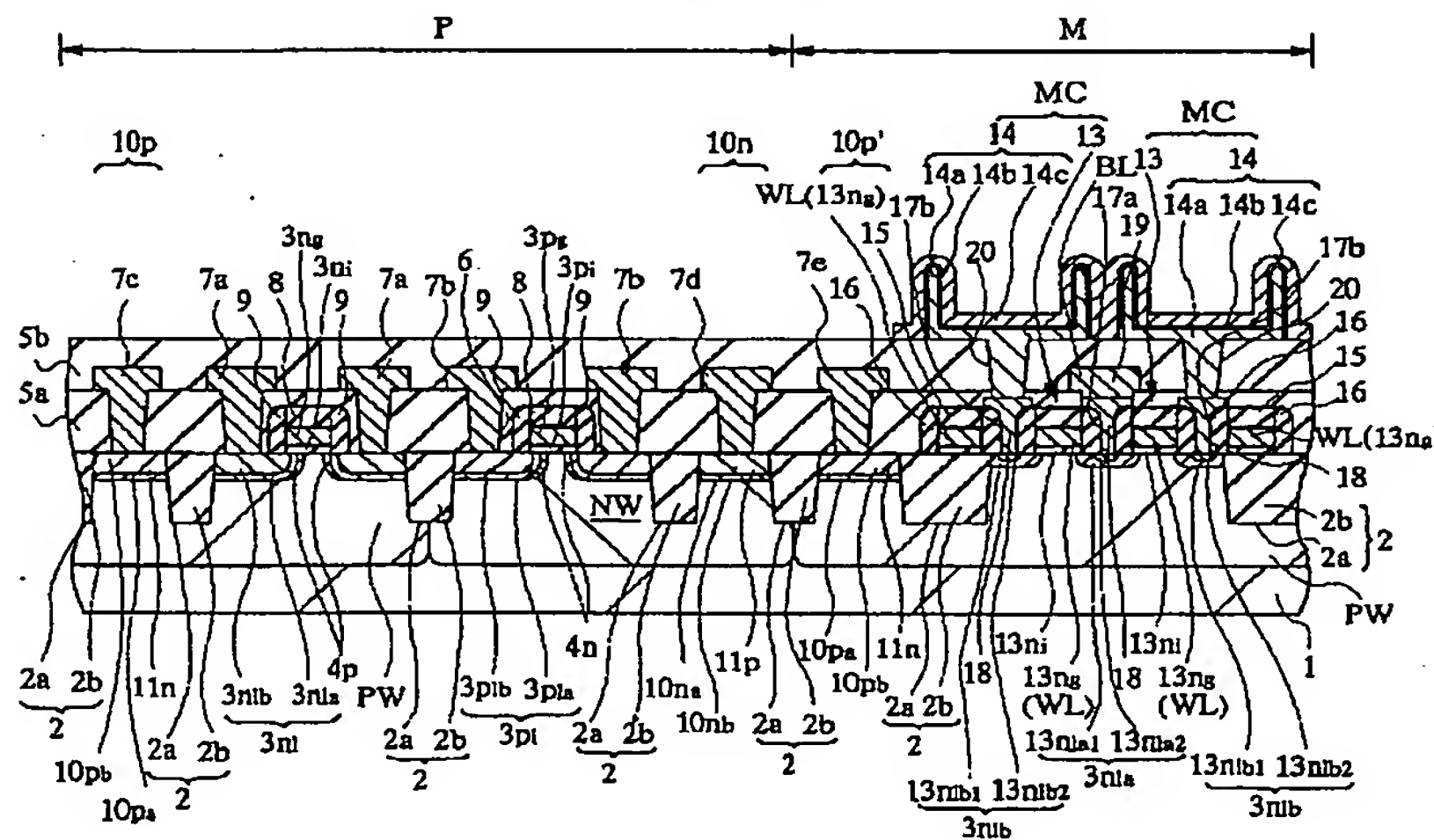
図 37



pウェル給電領域の不純物濃度分布

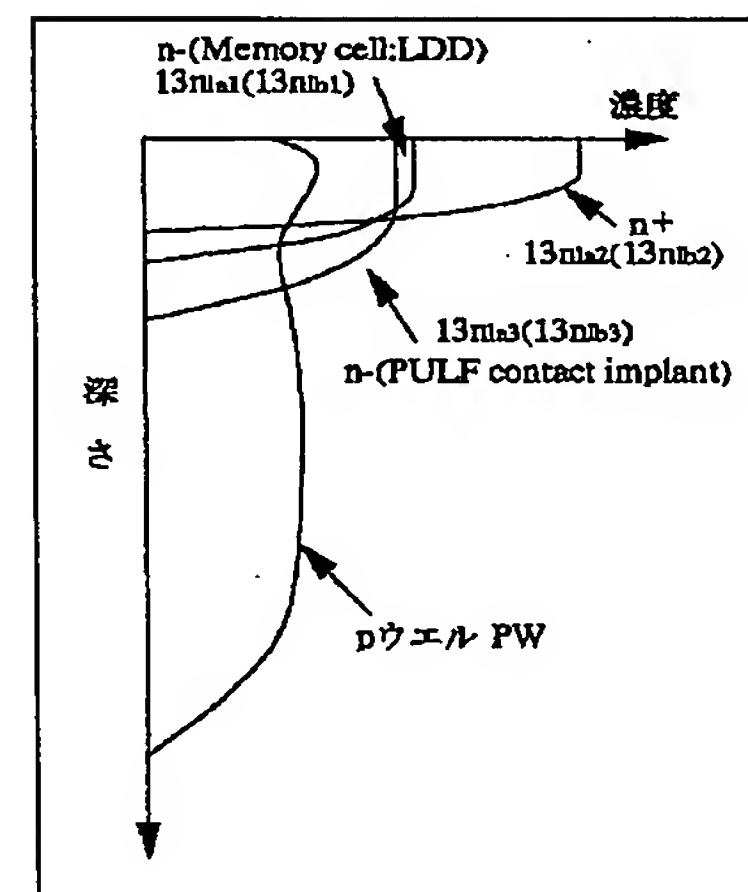
【図20】

図 20



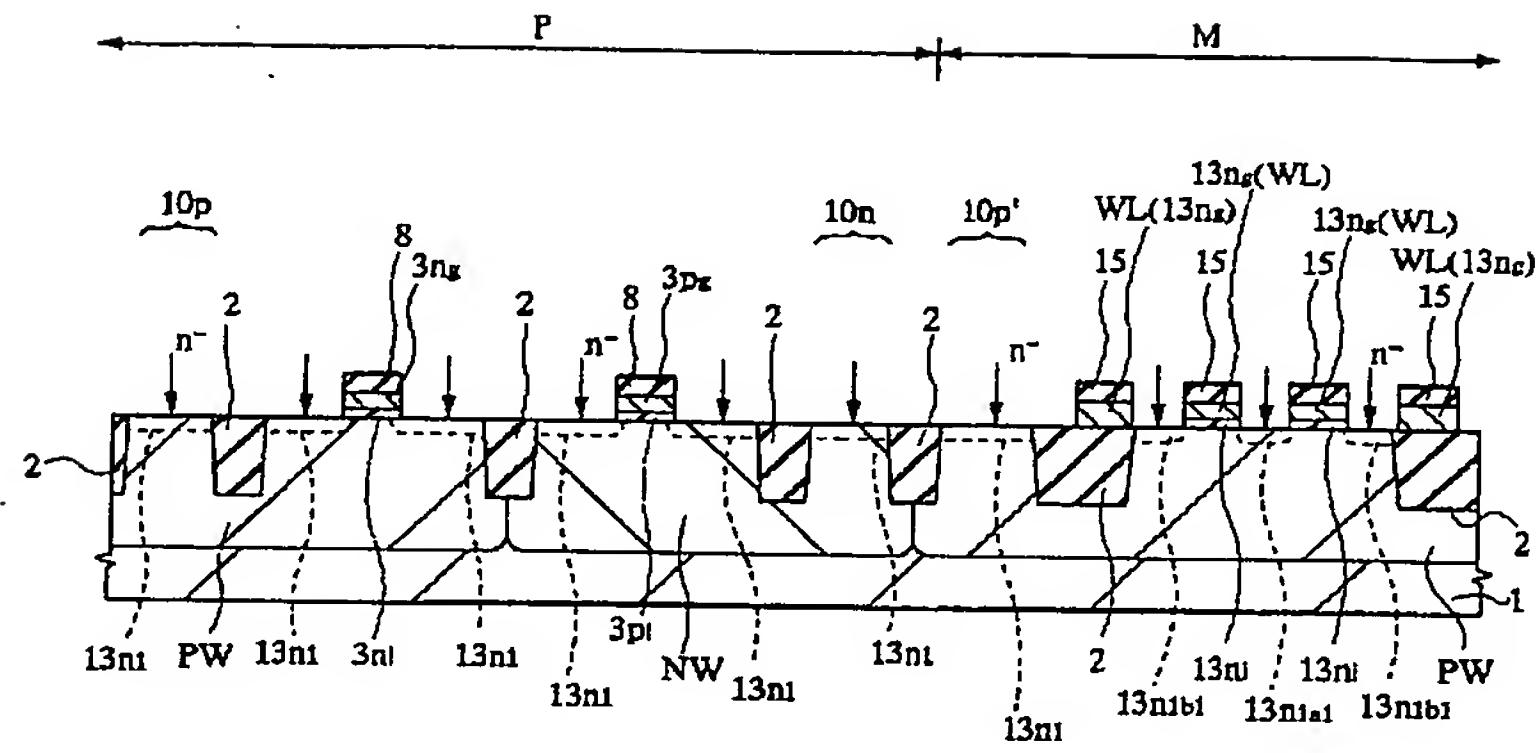
【図39】

図 39

メモリアル選択MOS・FETの  
ソース・ドレイン不純物濃度分布

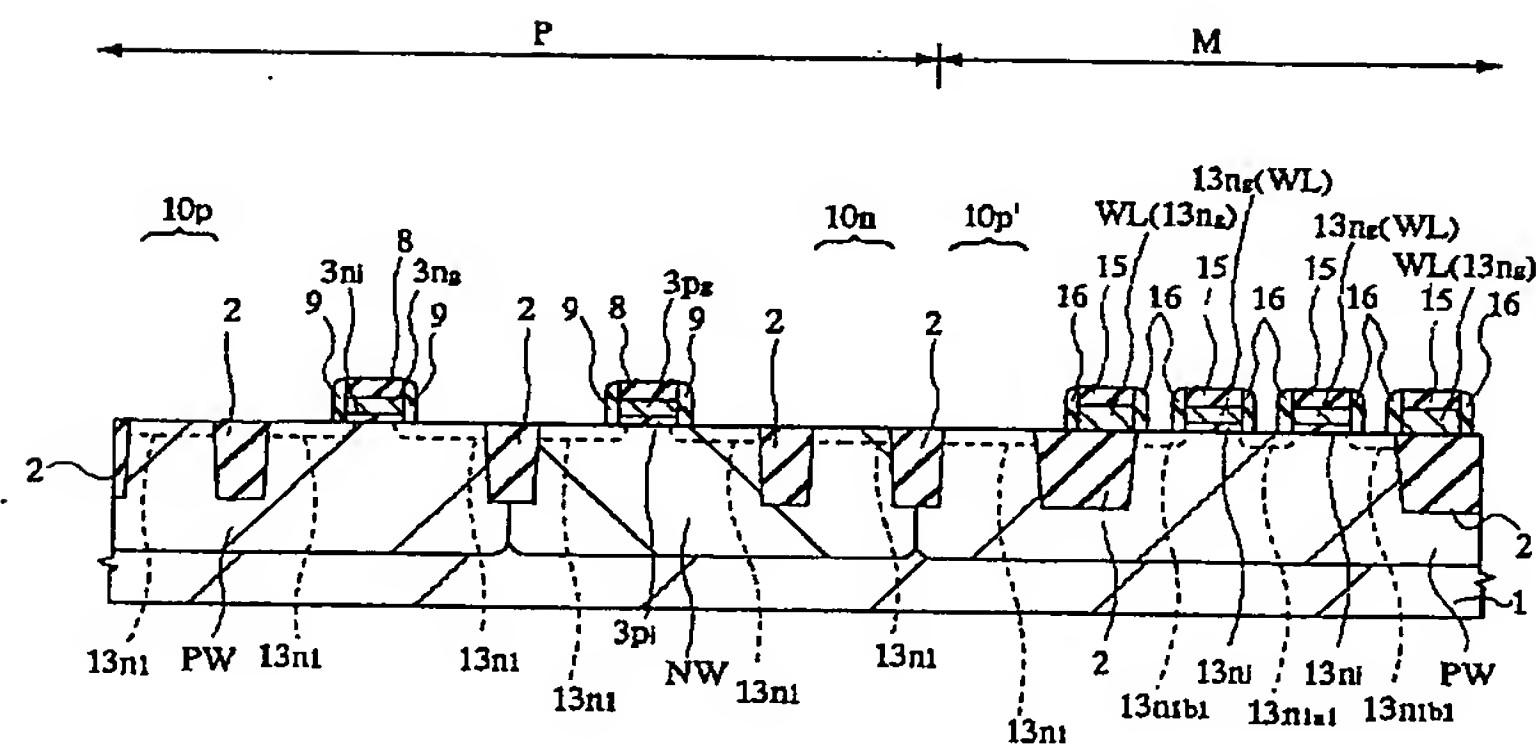
【図21】

図 21

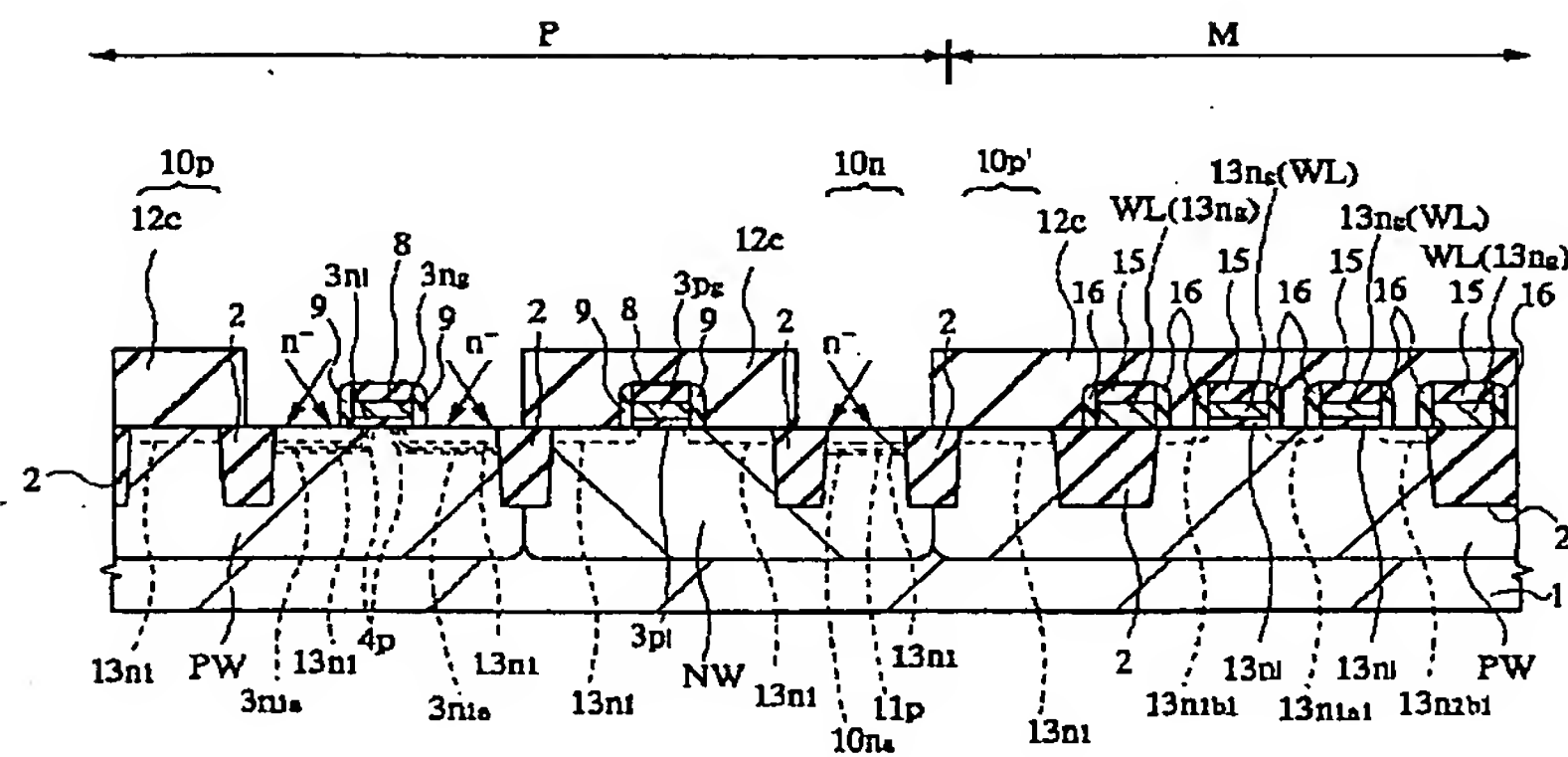
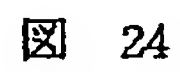


【図22】

図 22



23

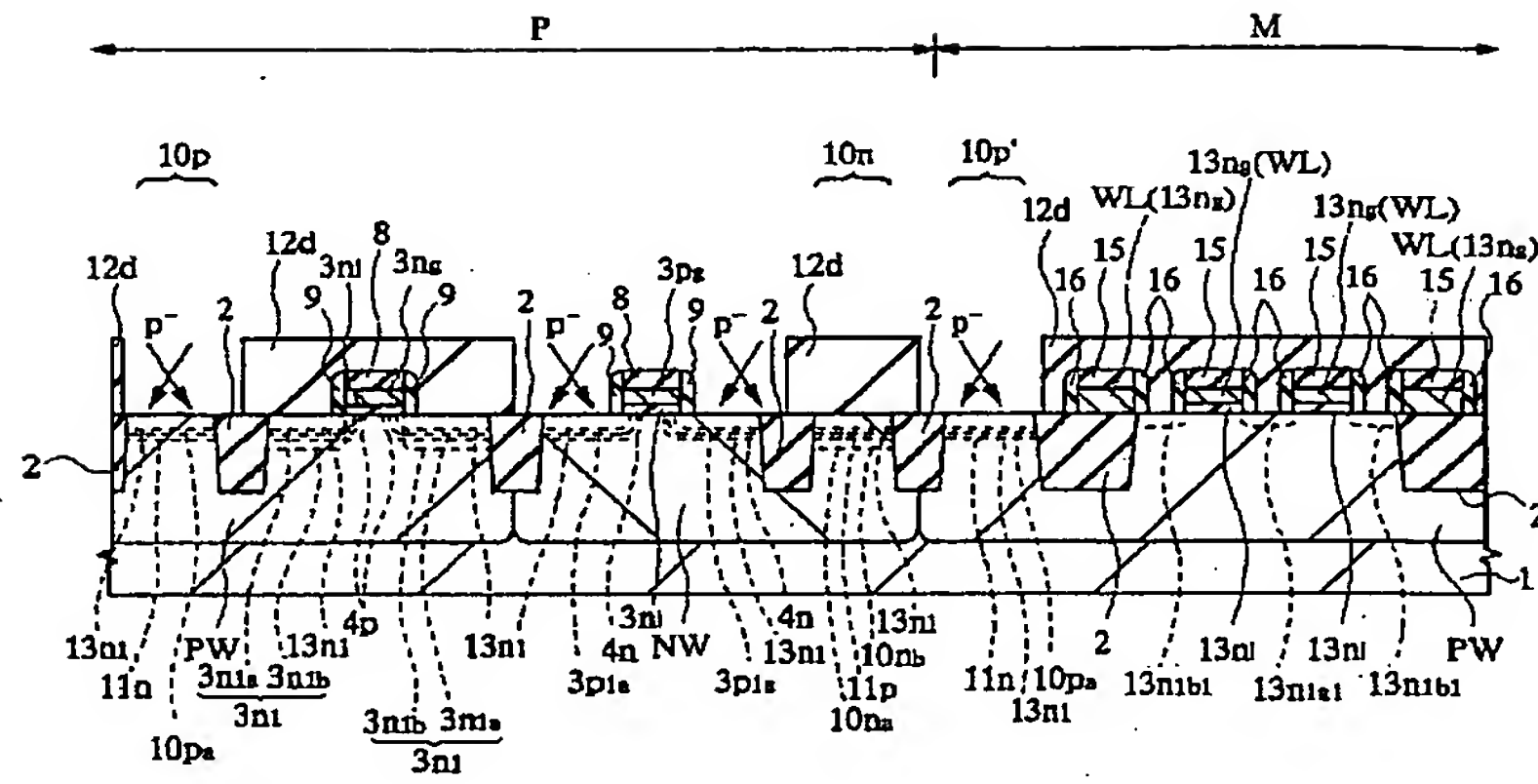






【図27】

図 27



【図28】

図 28

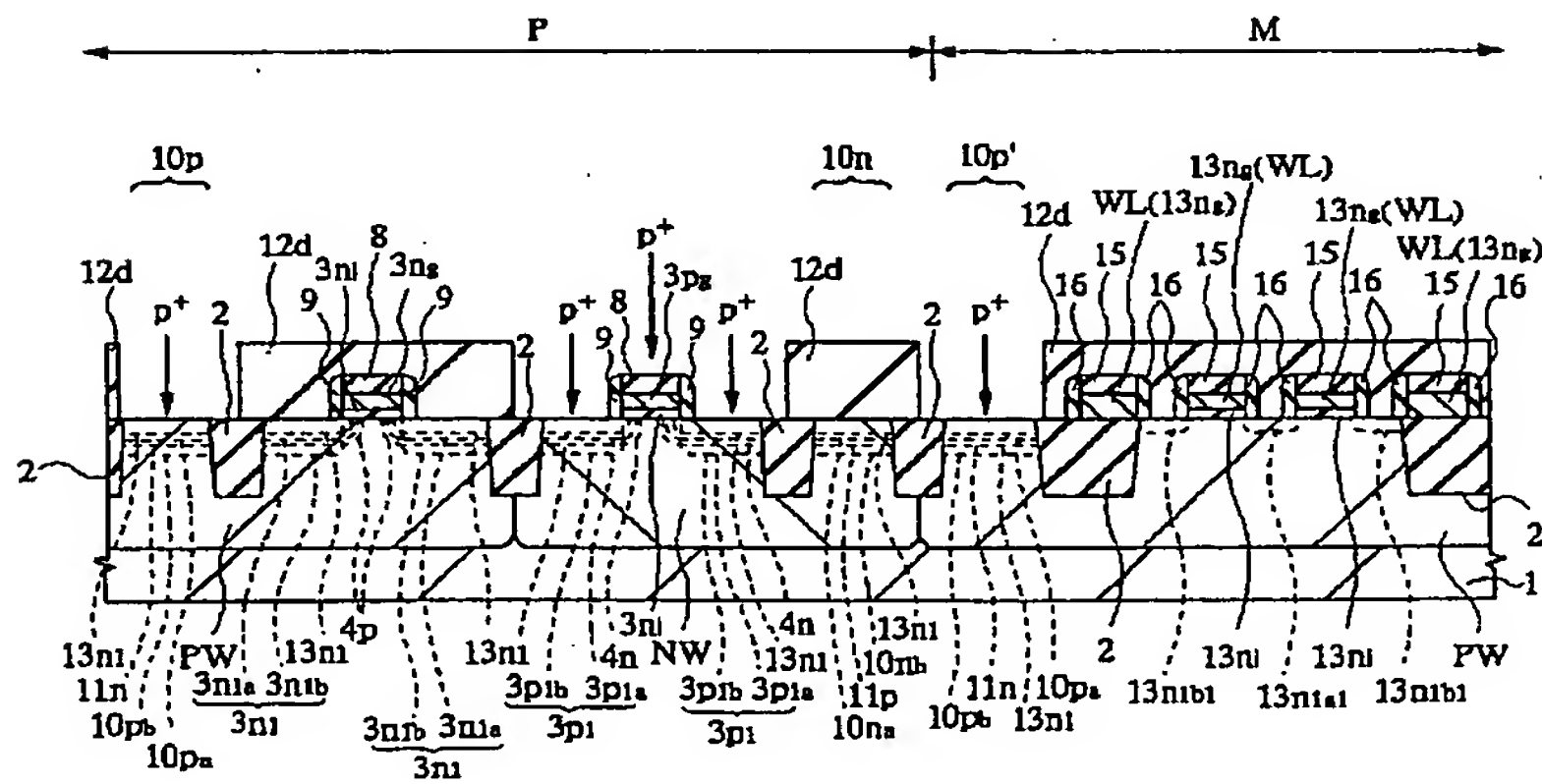
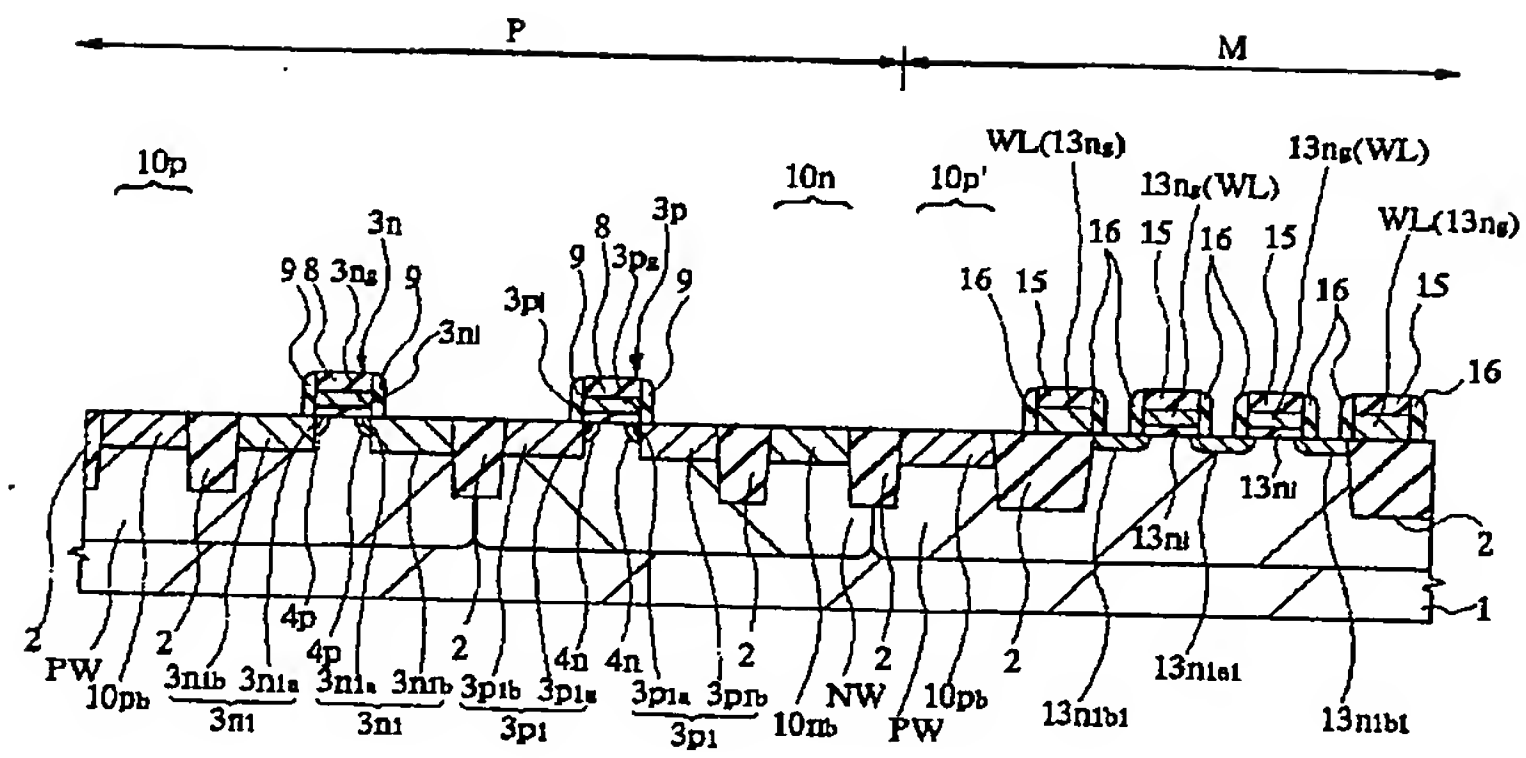
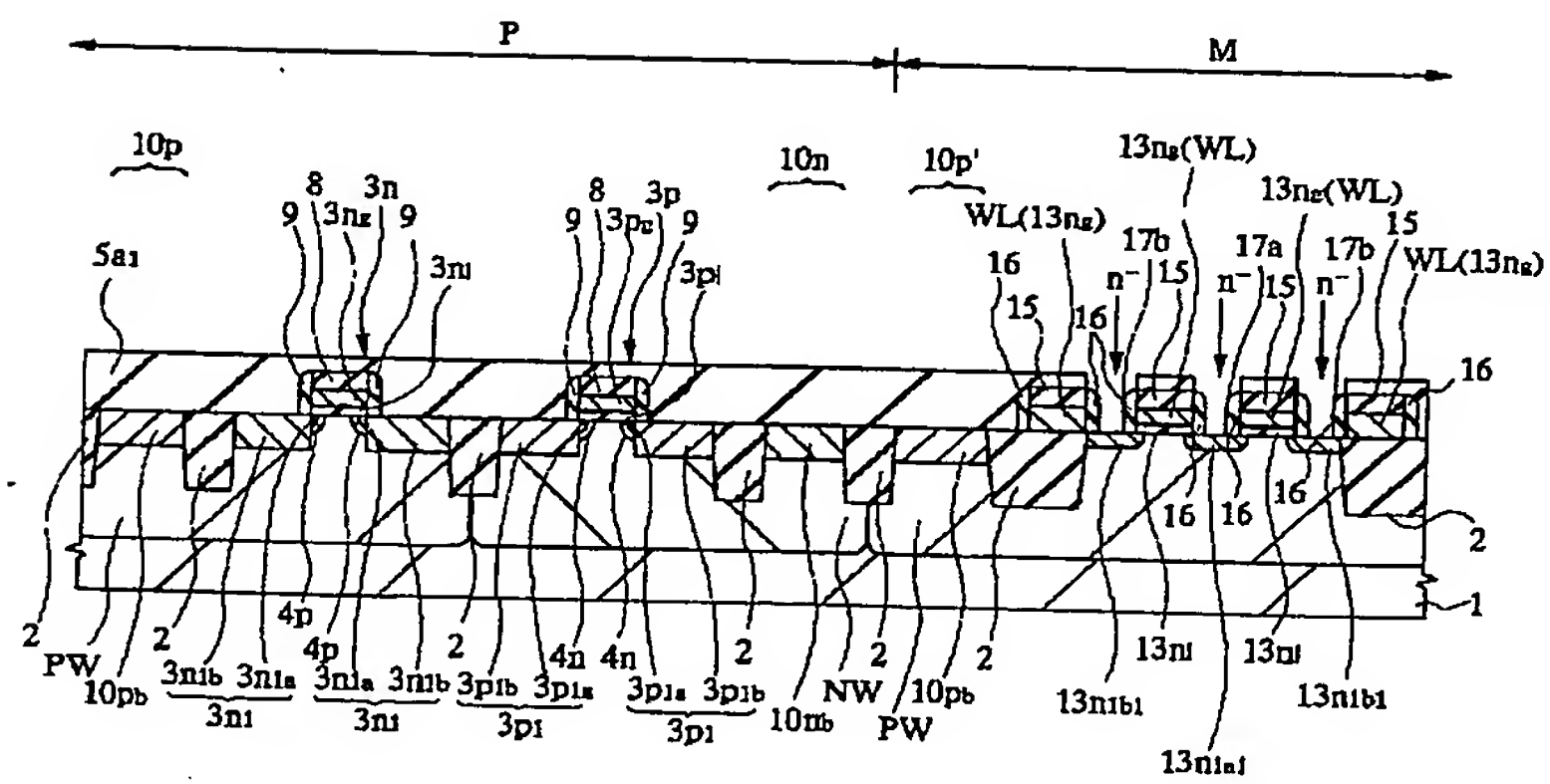


图 29



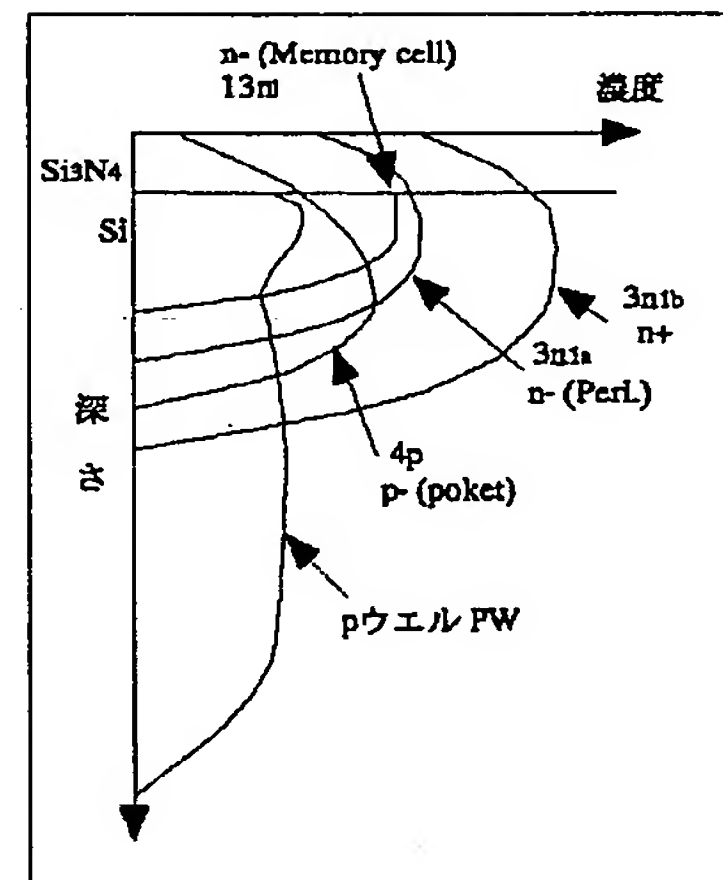
☒ 30





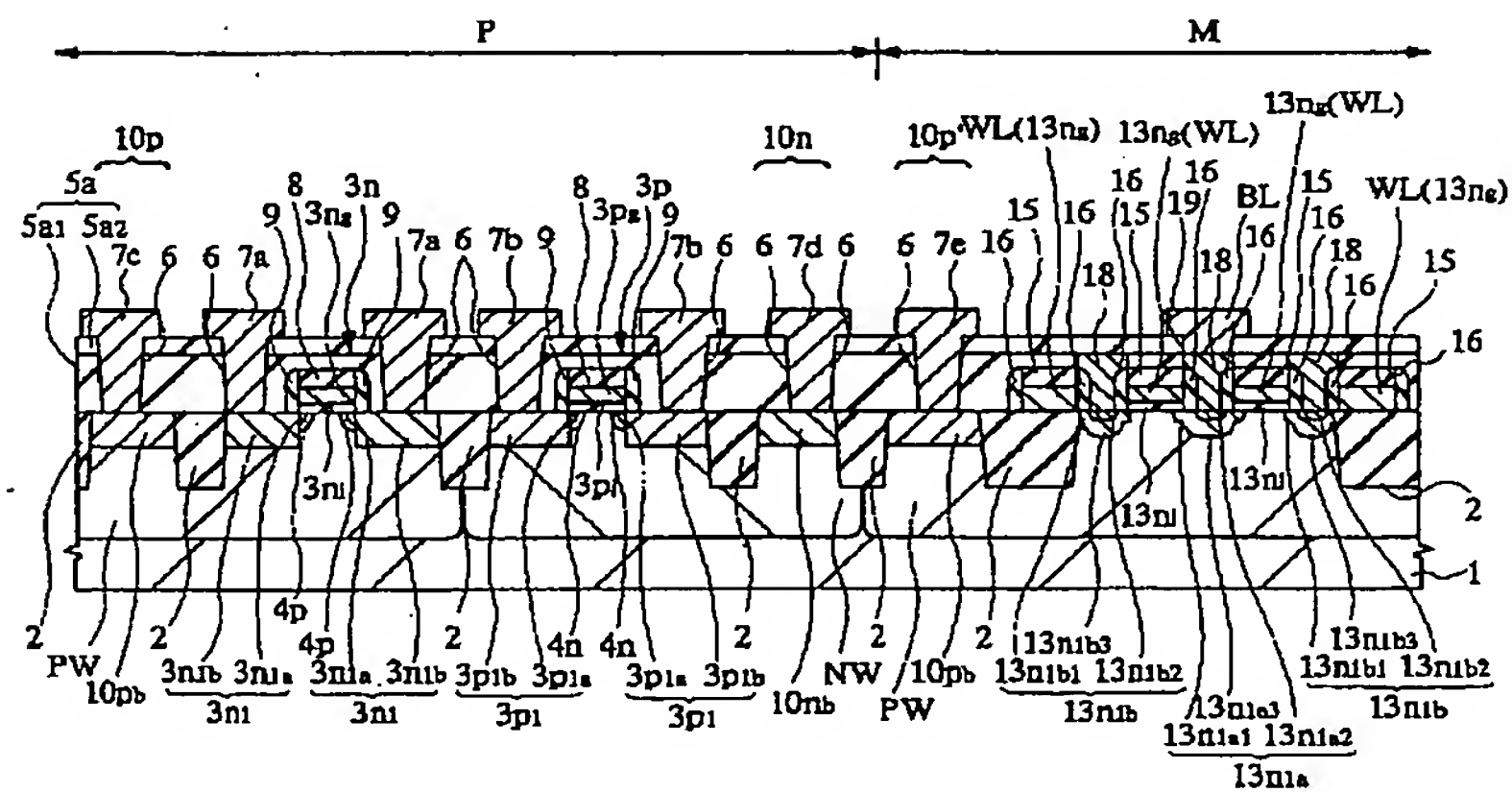
【圖55】

图 55



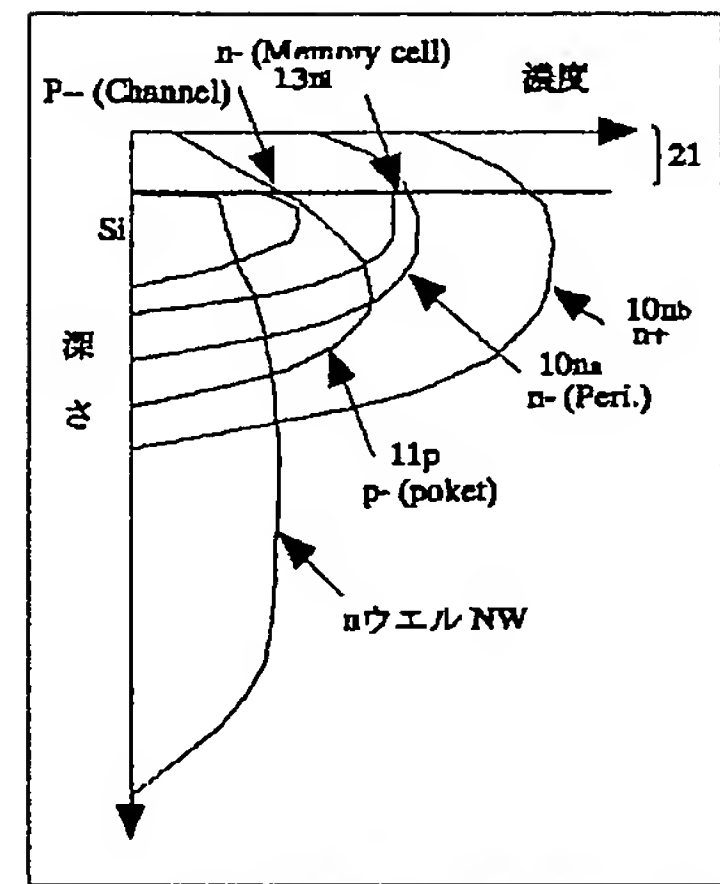
□チャンネルMOS-FET  
のソース・ドレインの不純物濃度分布

图 32



【図56】

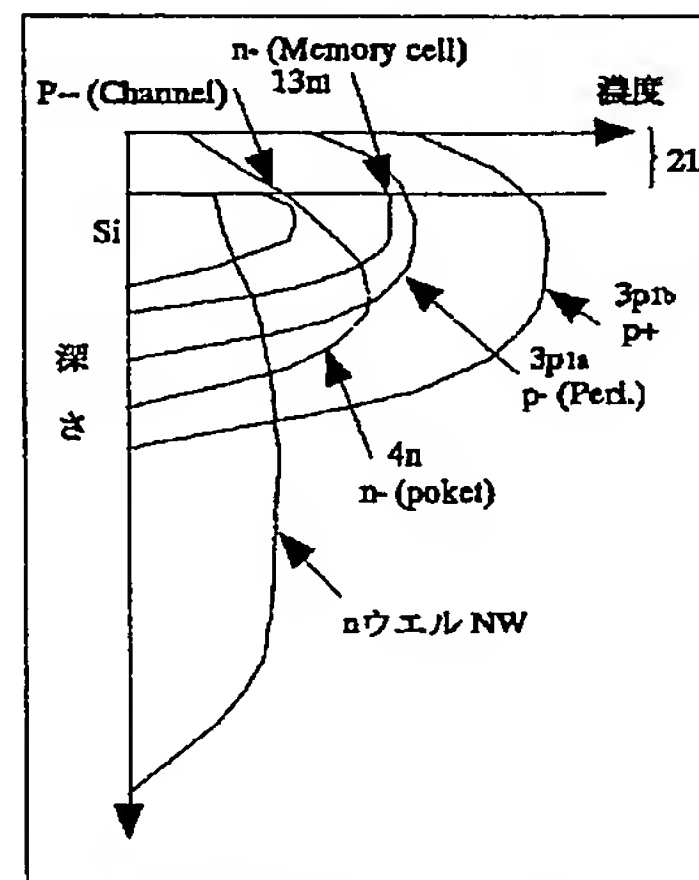
图 56



ノウエル給電領域の不純物濃度分布

【図57】

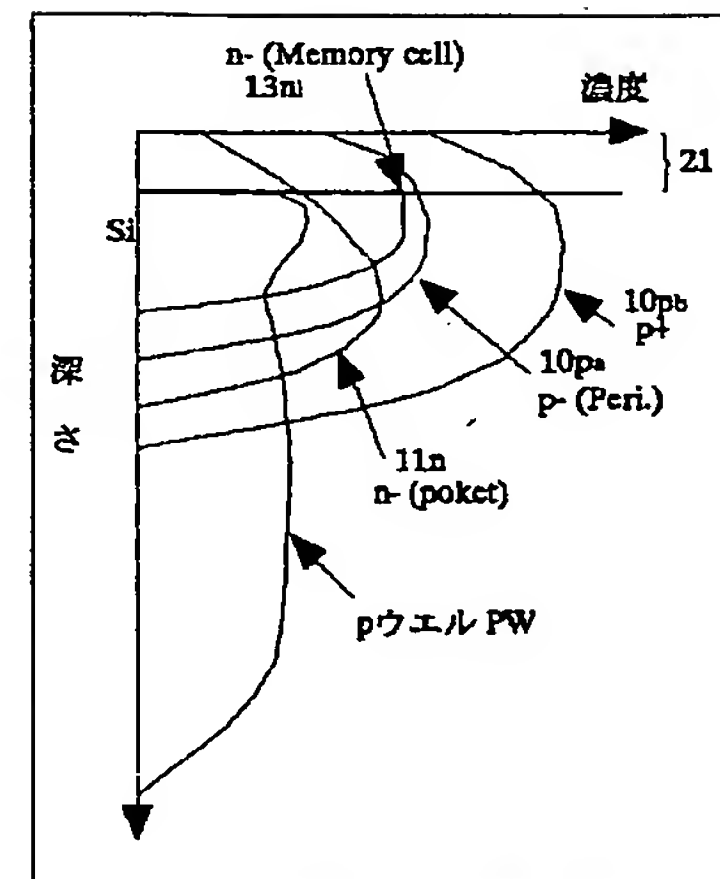
図 57



pチャネルMOS-FET  
のソース・ドレインの不純物濃度分布

【図58】

图 58



プエルリョ電領域の不純物濃度分布

图 41

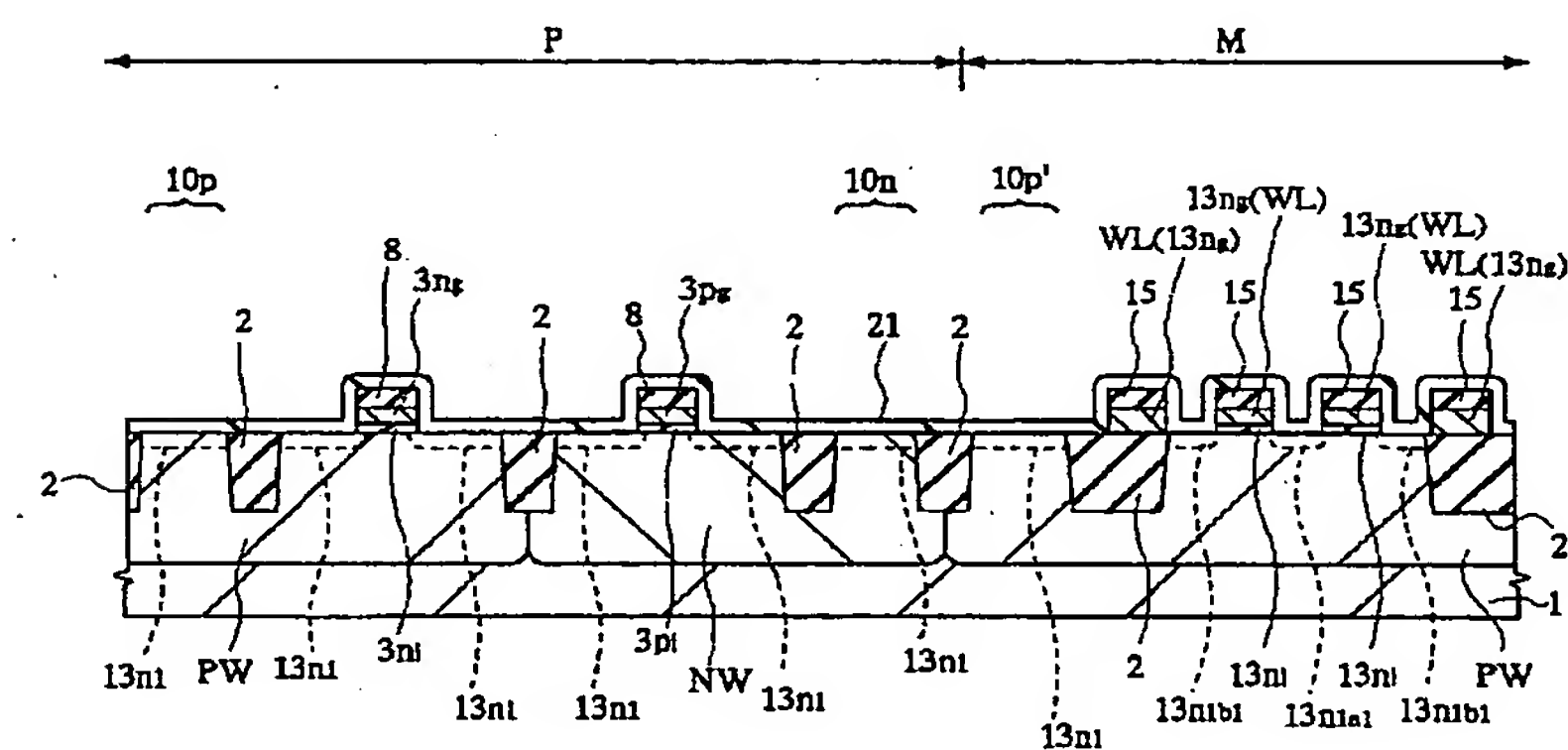


图 60

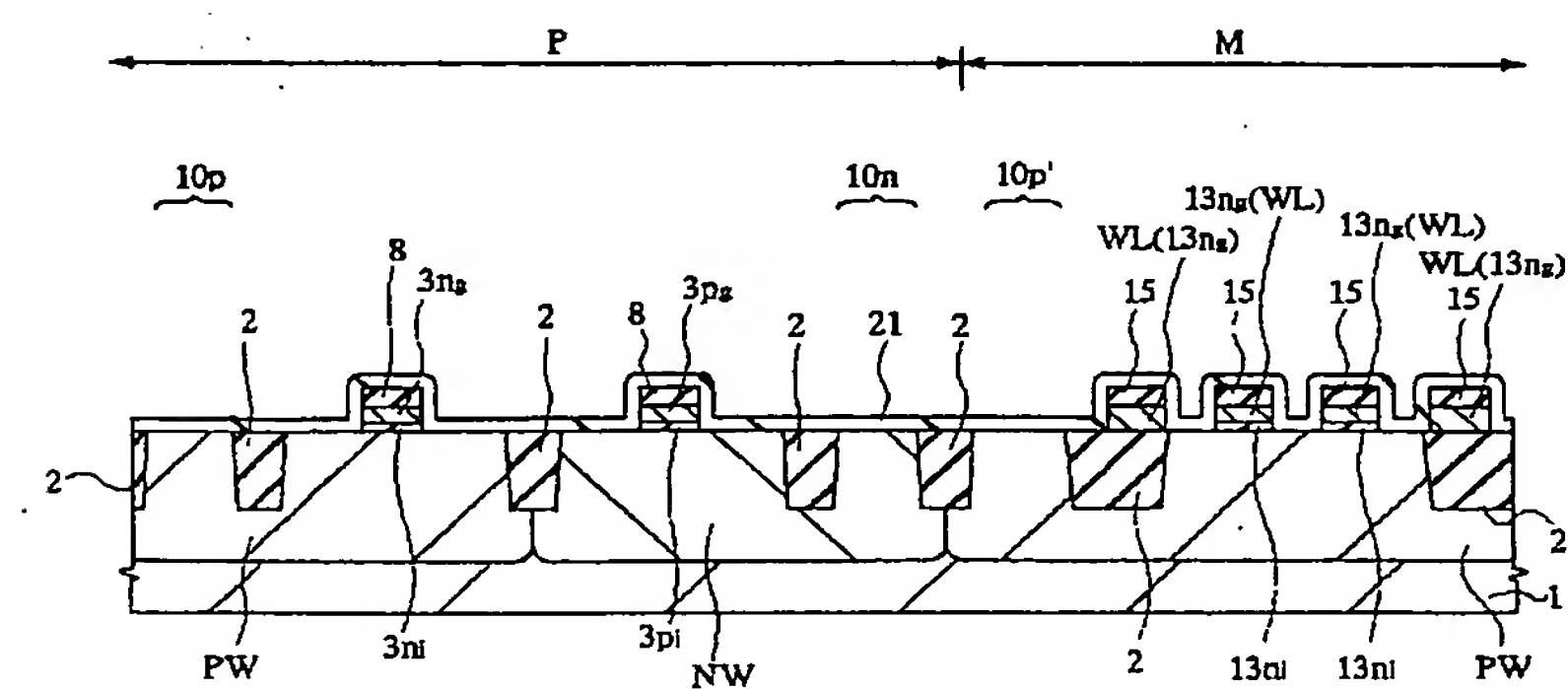






圖 44

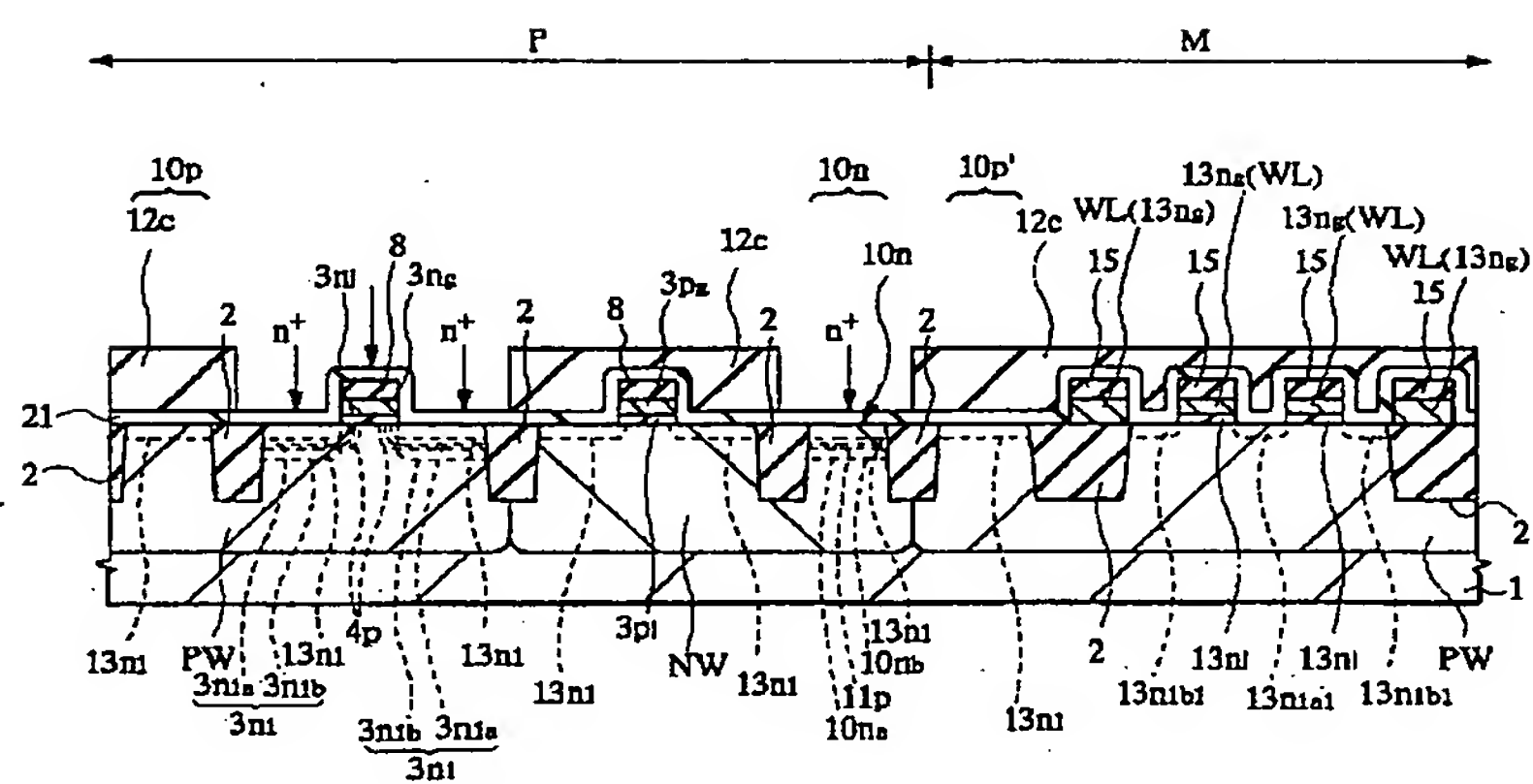


图 45

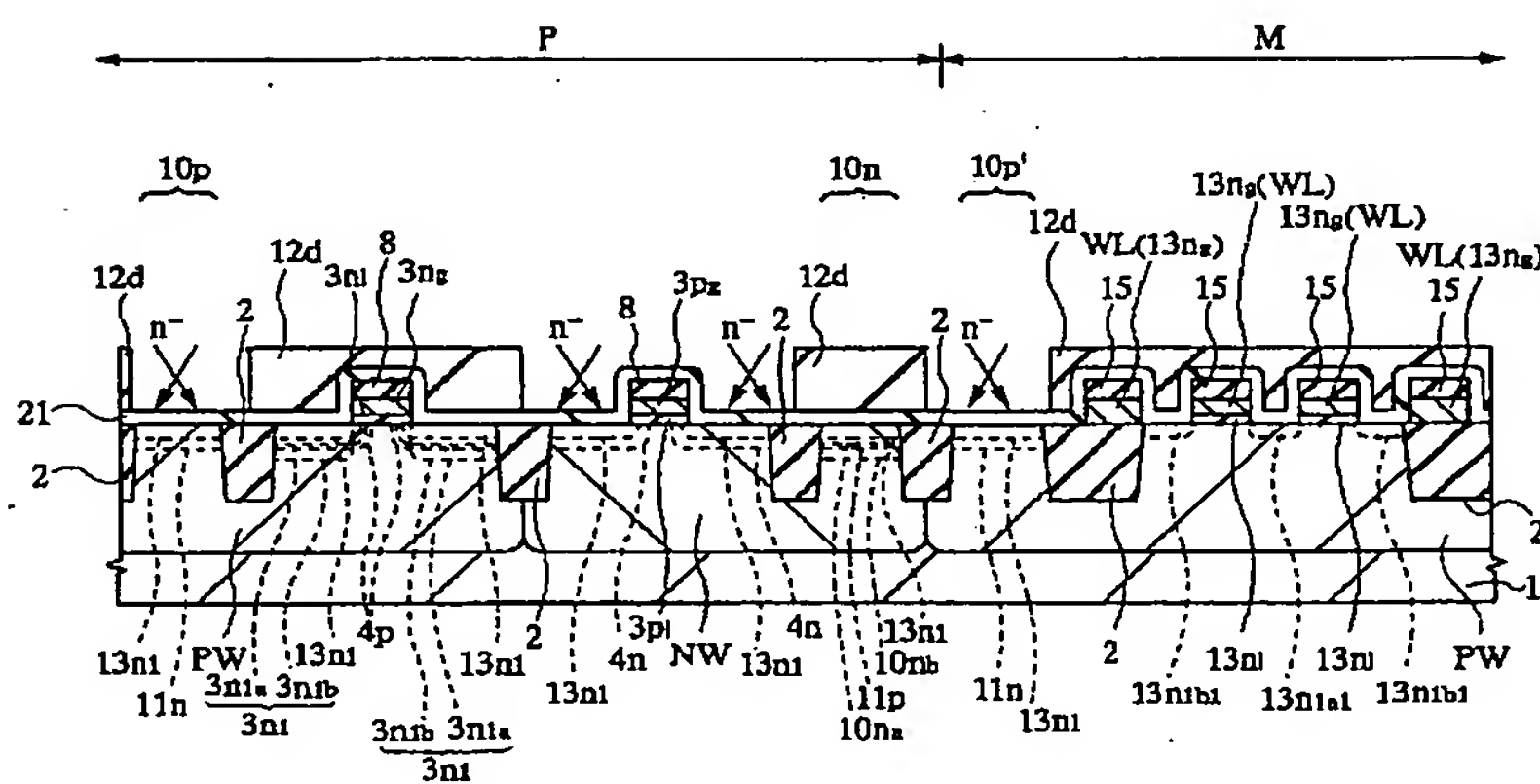


图 46

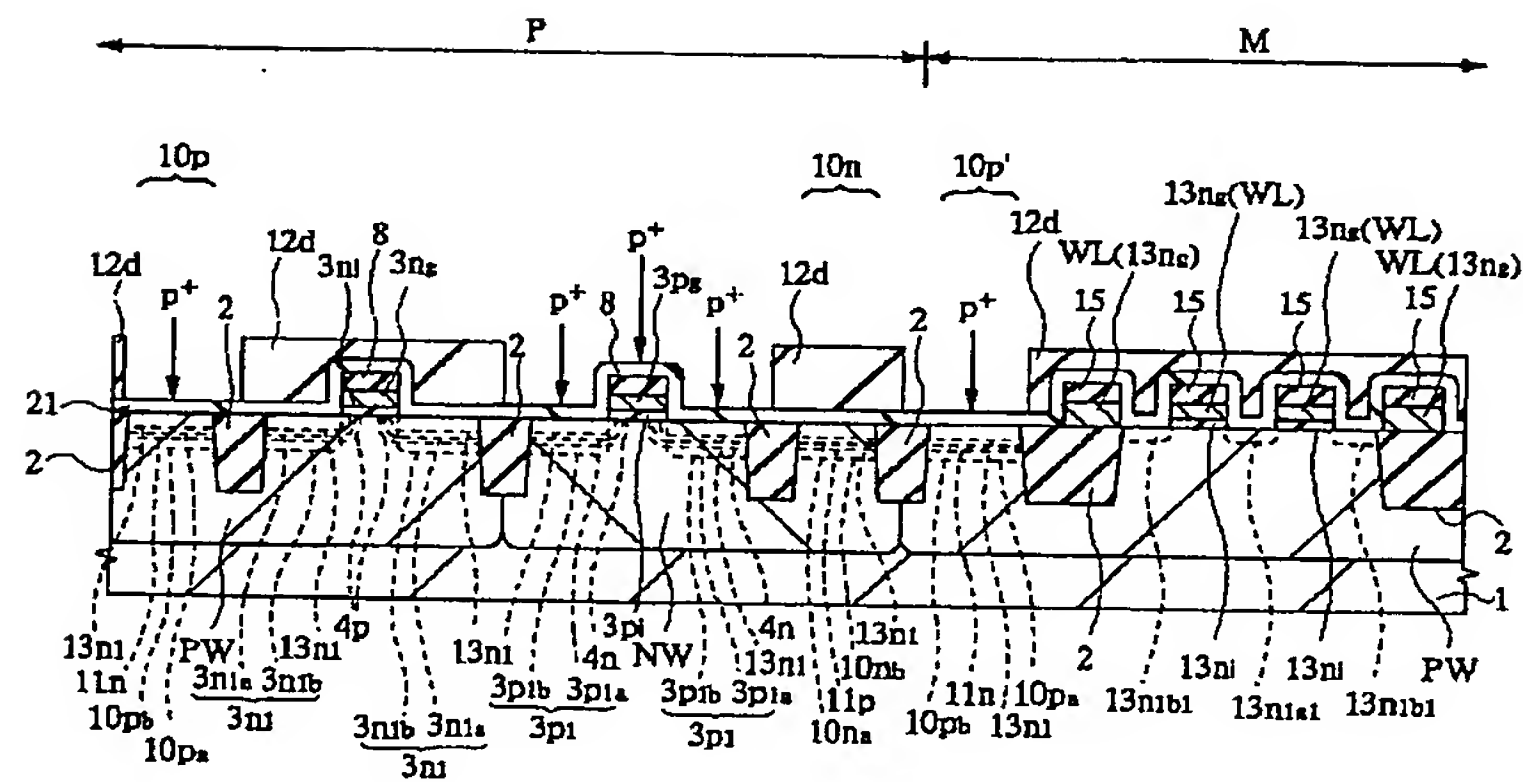
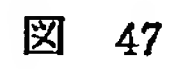




图 48

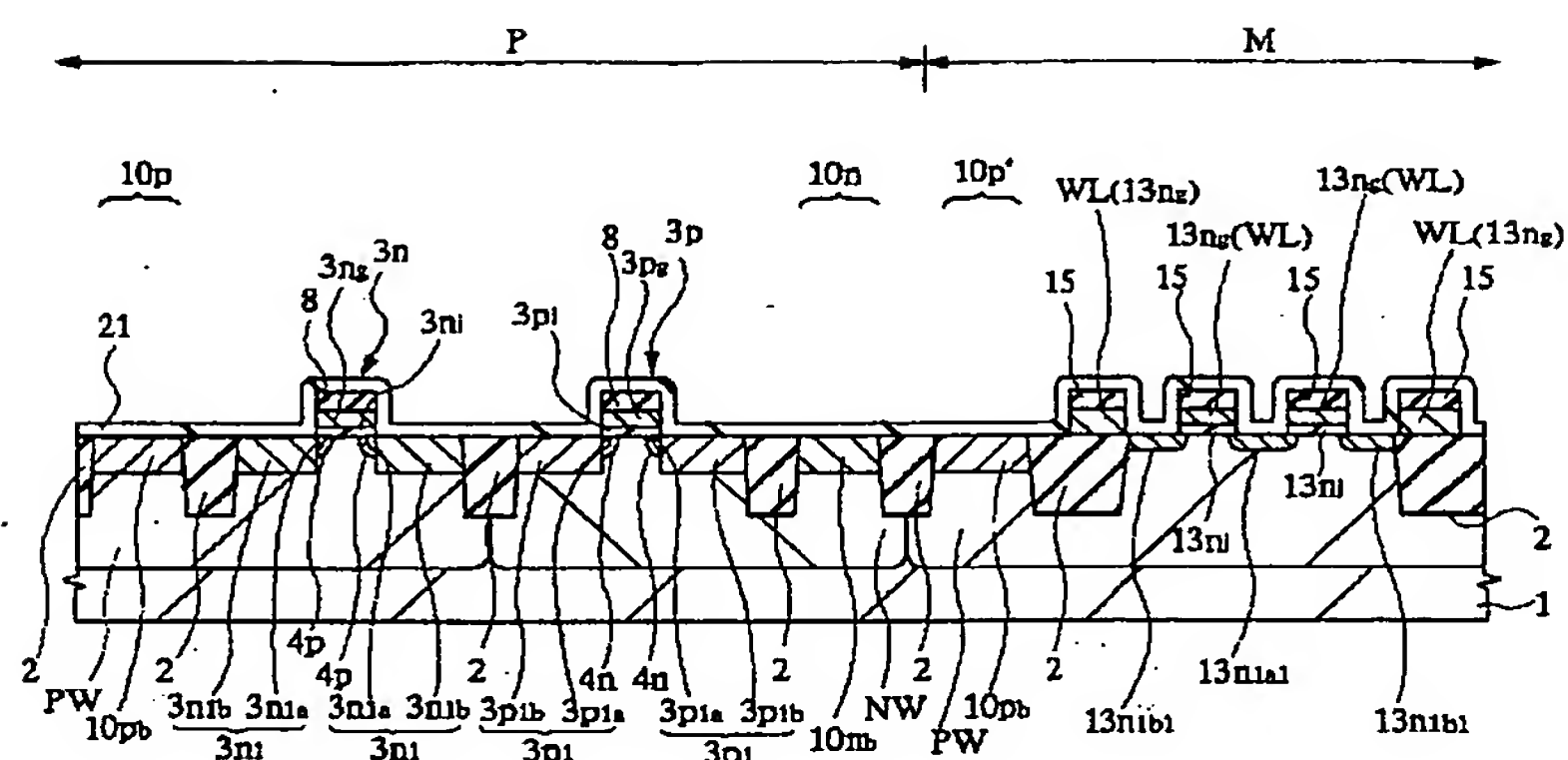
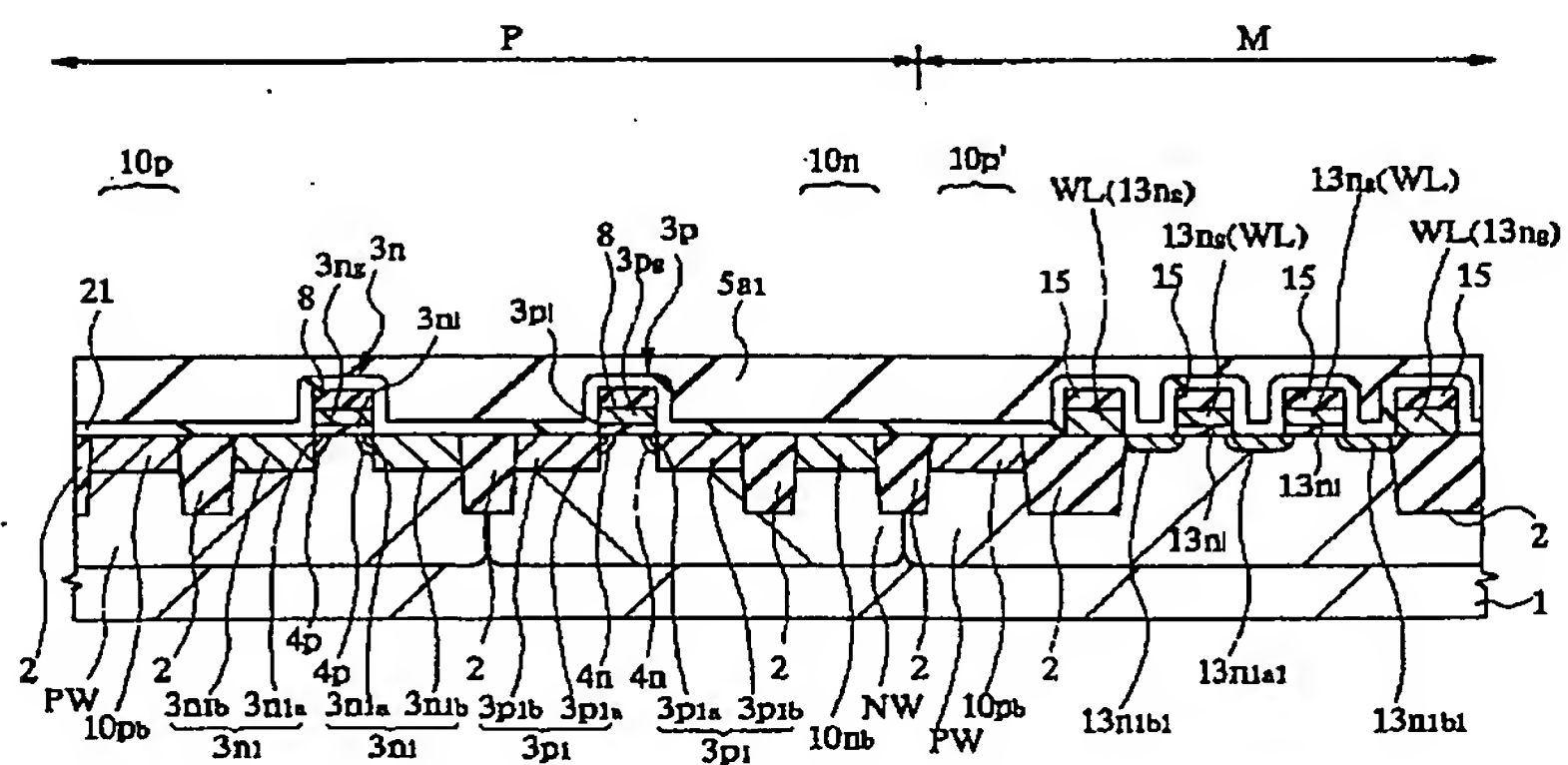
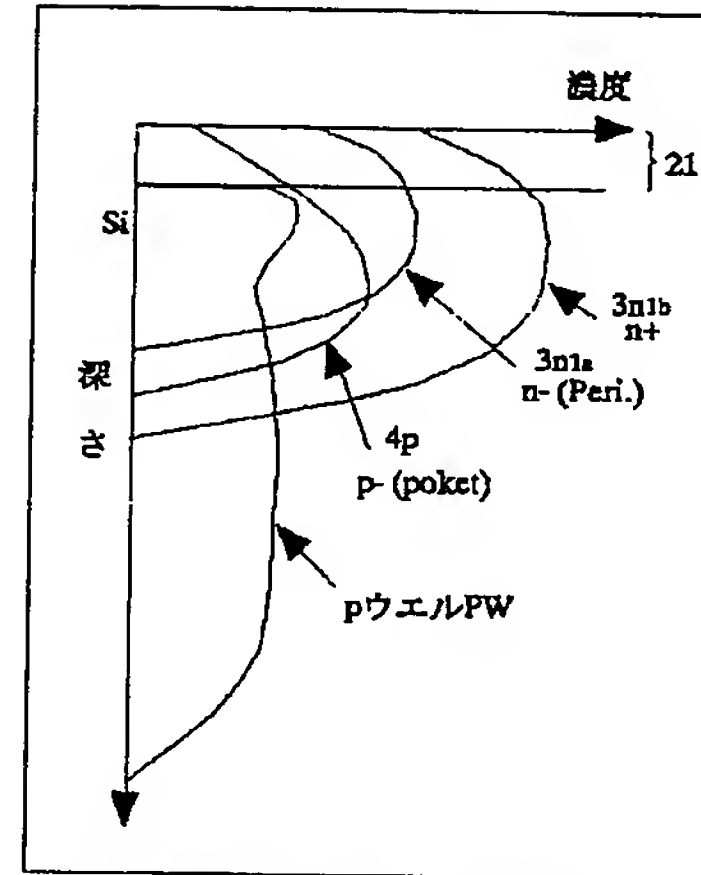


图 49



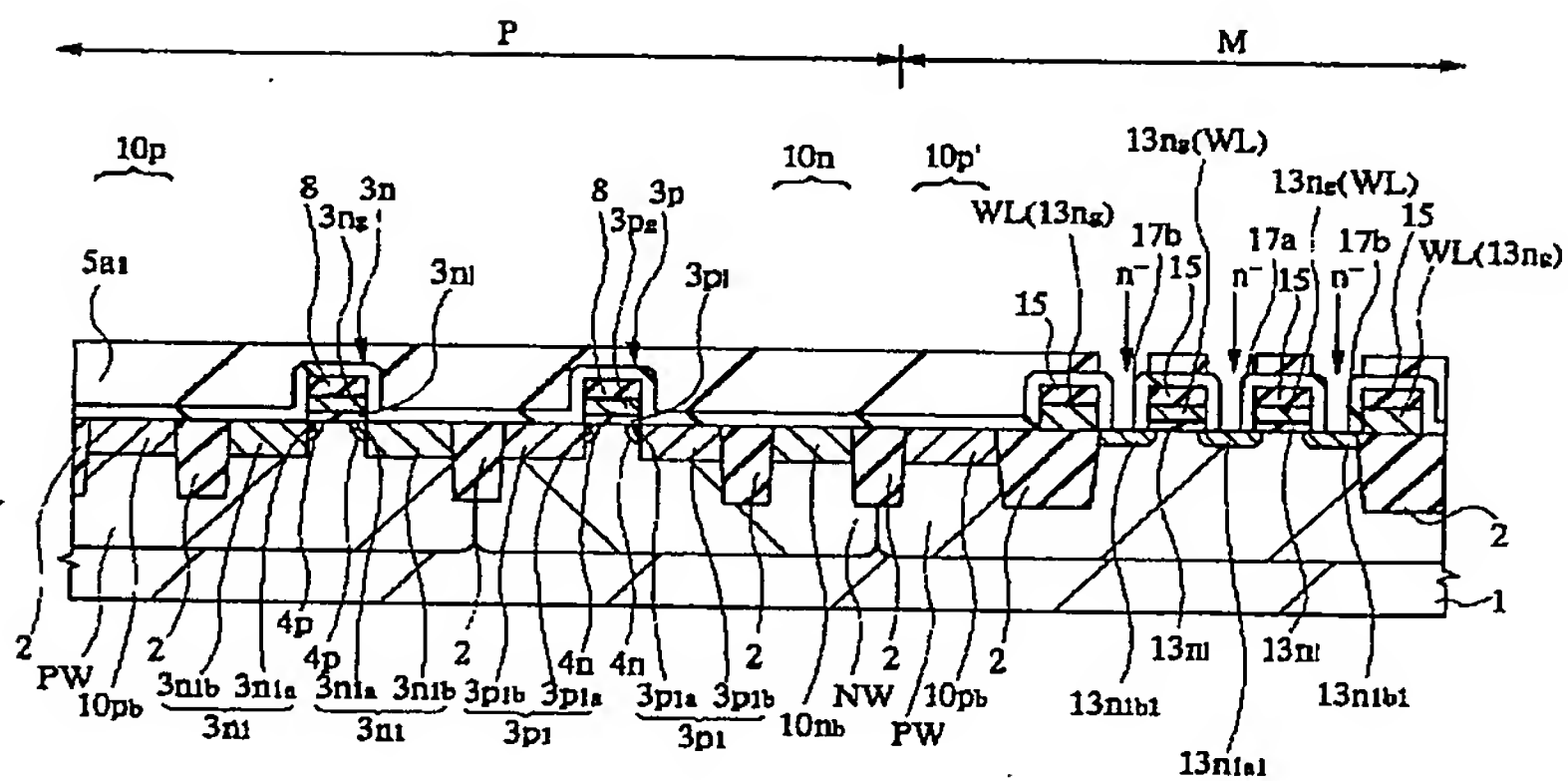
【圖 74】

图 74



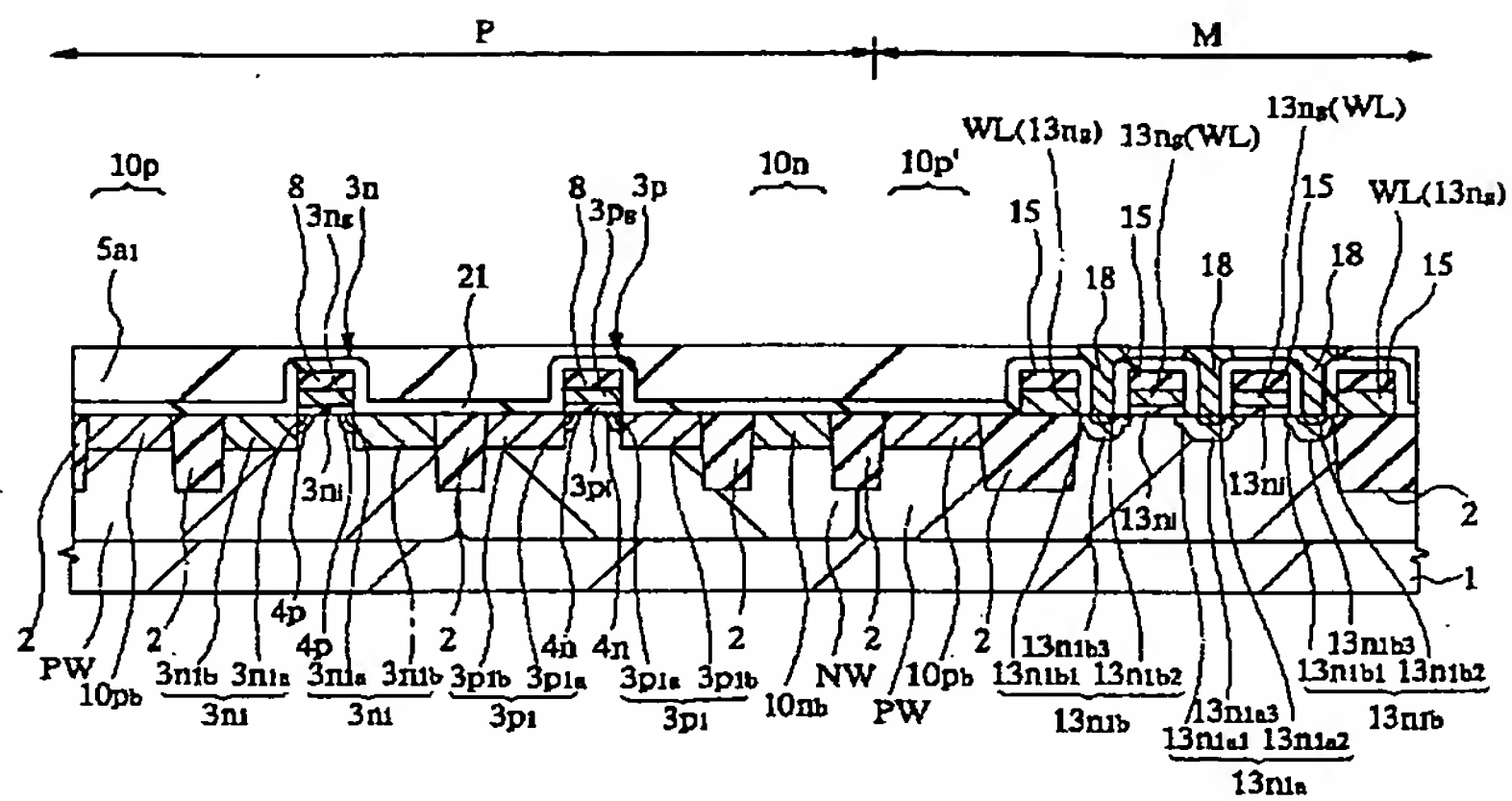
nチャネルMOS-FET  
のソース・ドレインの不純物濃度分布

图 51



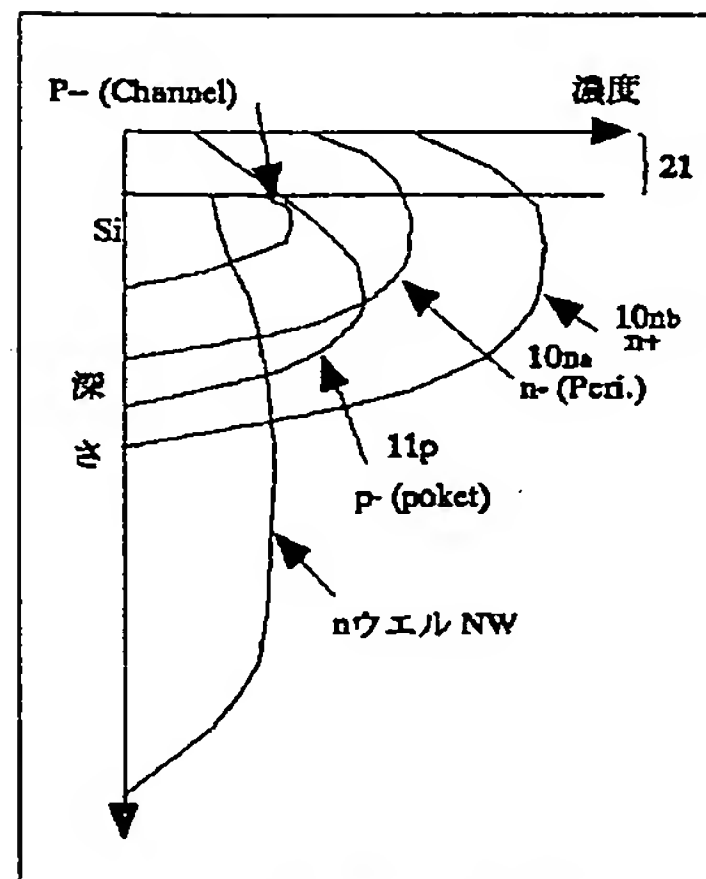
【図52】

図 52



【図75】

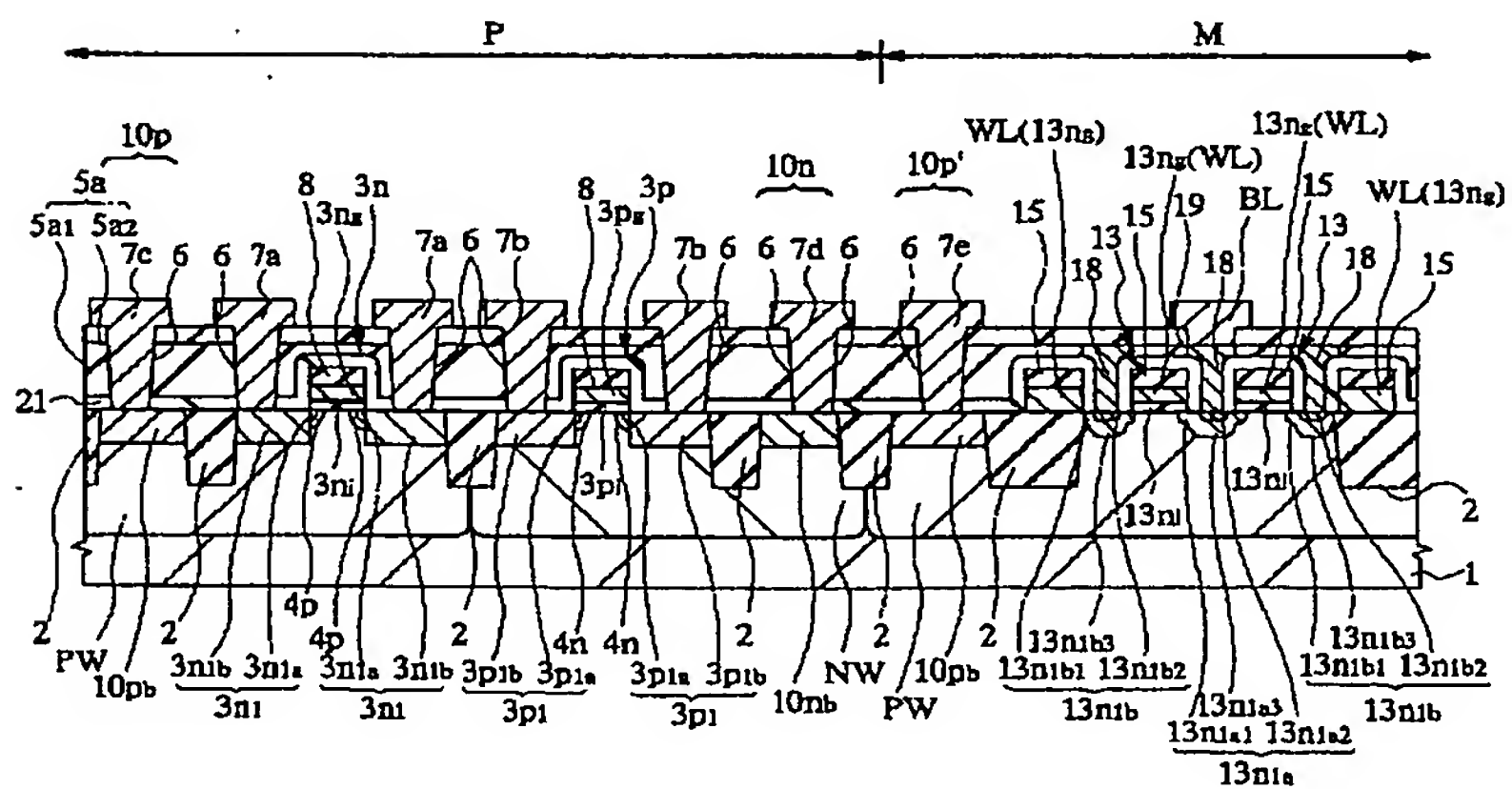
図 75



nウェル給電領域の不純物濃度分布

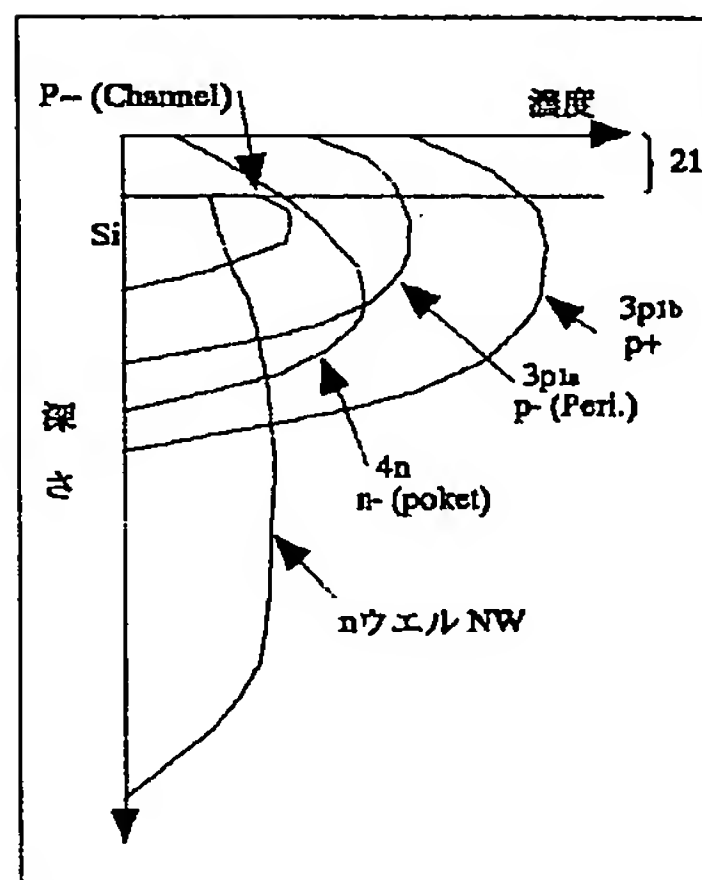
【図53】

図 53



【図76】

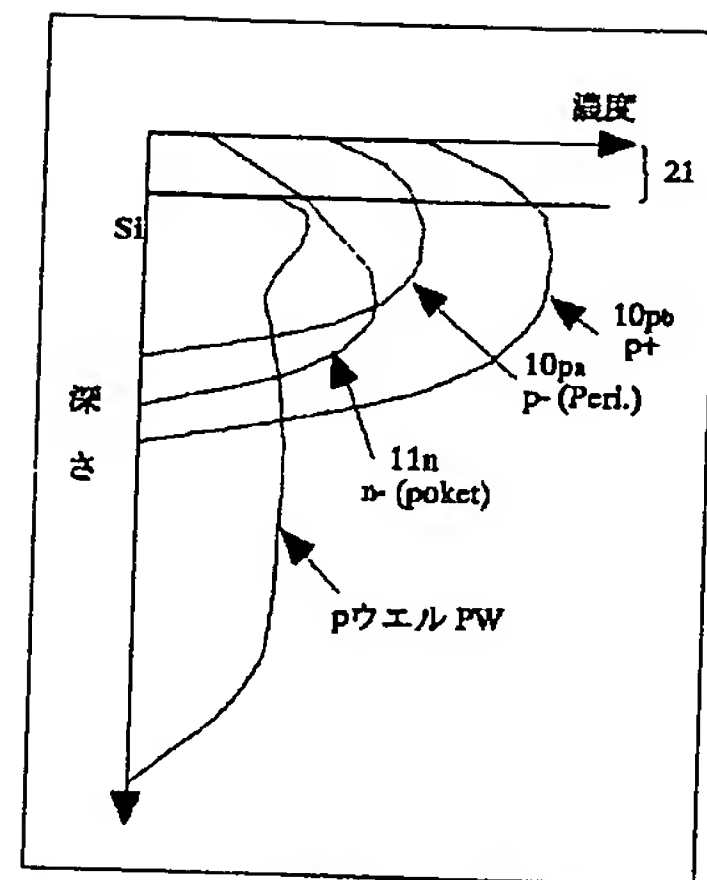
図 76

pチャネルMOS-FET  
のソース・ドレインの不純物濃度分布



【圖 77】

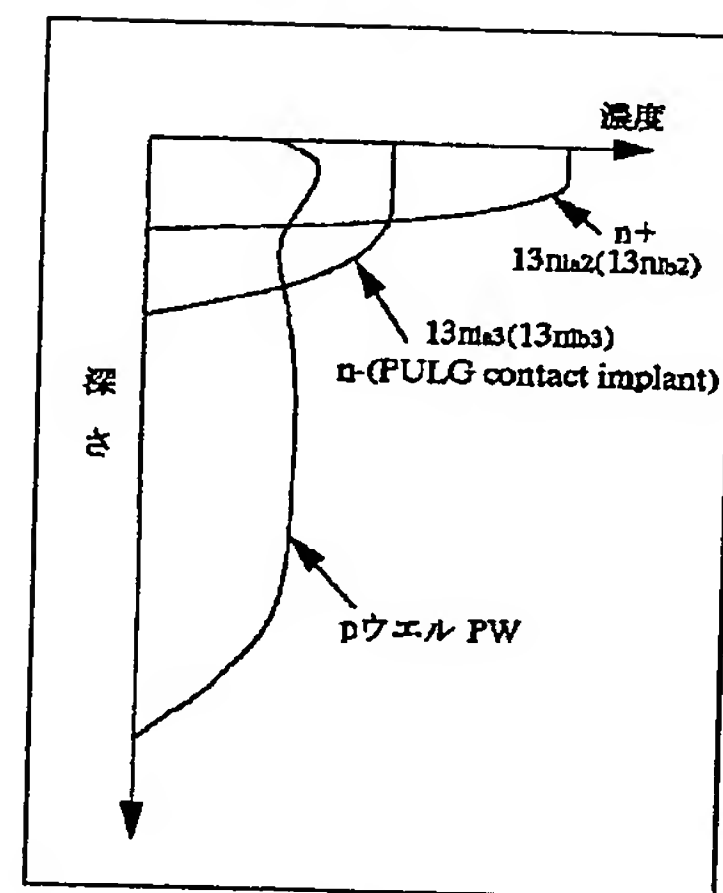
图 77



Pウエル給電領域の不純物濃度分布

【图79】

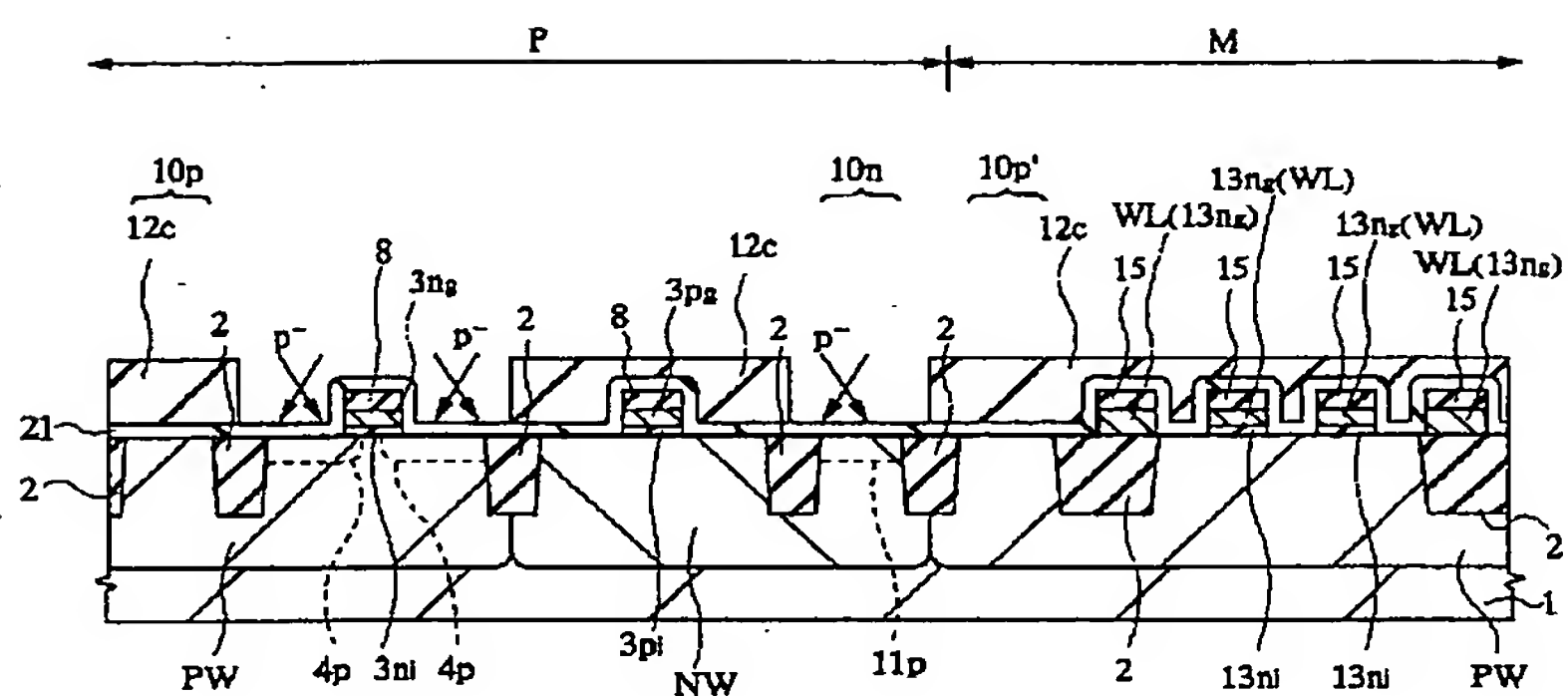
图 79



メモリセル選択MOS・FETの  
ソース・ドレイン不純物濃度分布

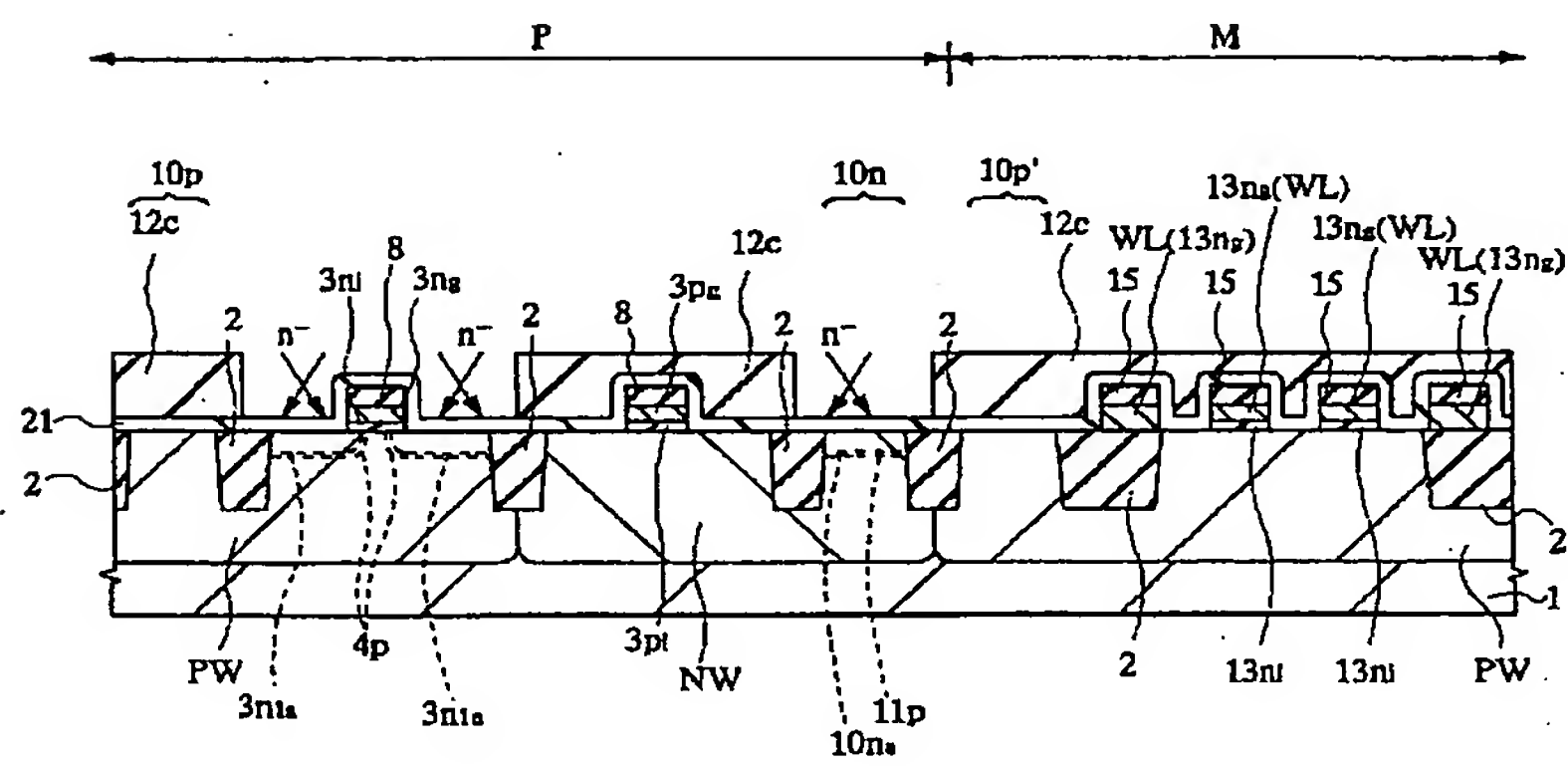
【図61】

図 61



【図62】

図 62

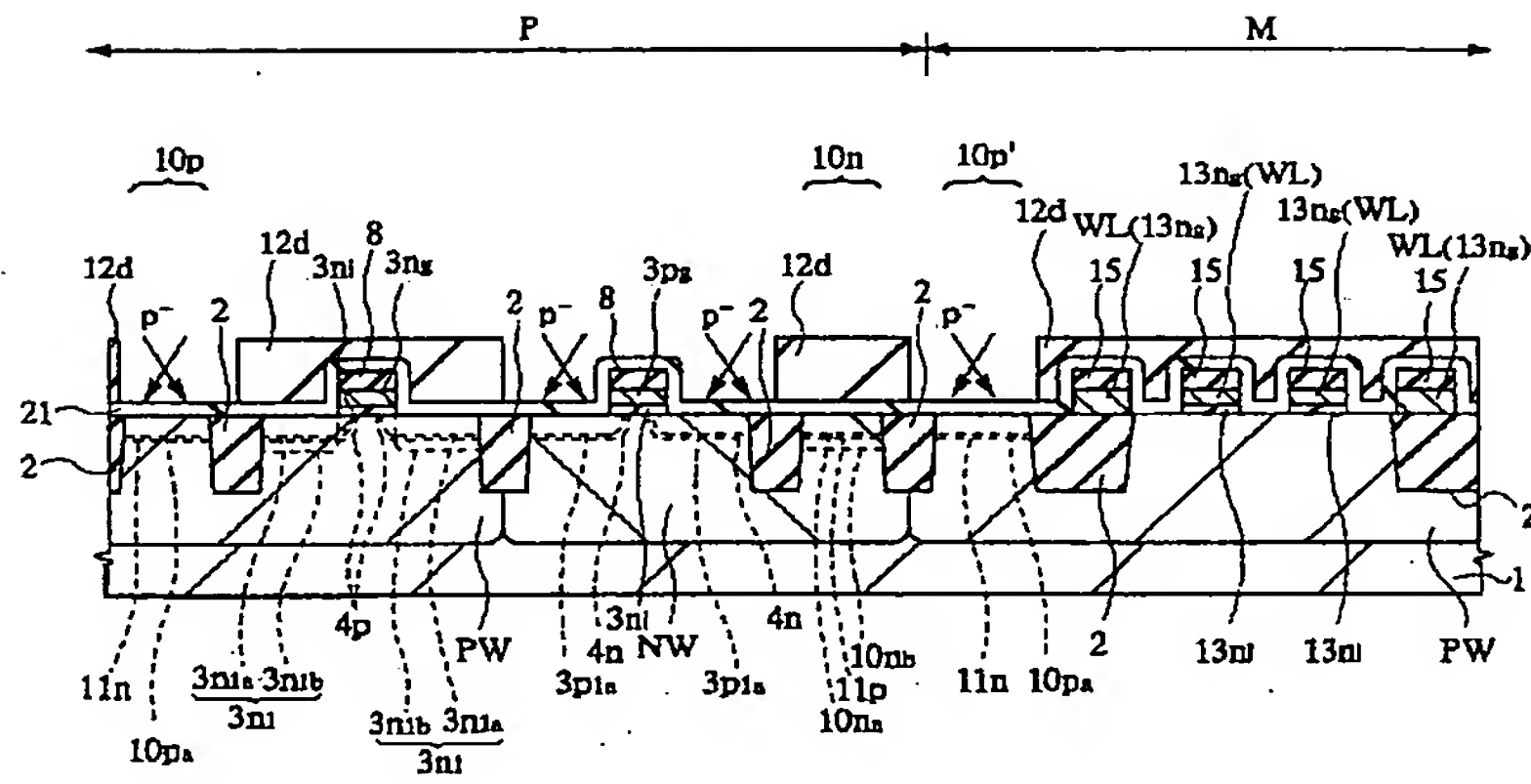






【図65】

図 65



【図66】

図 66

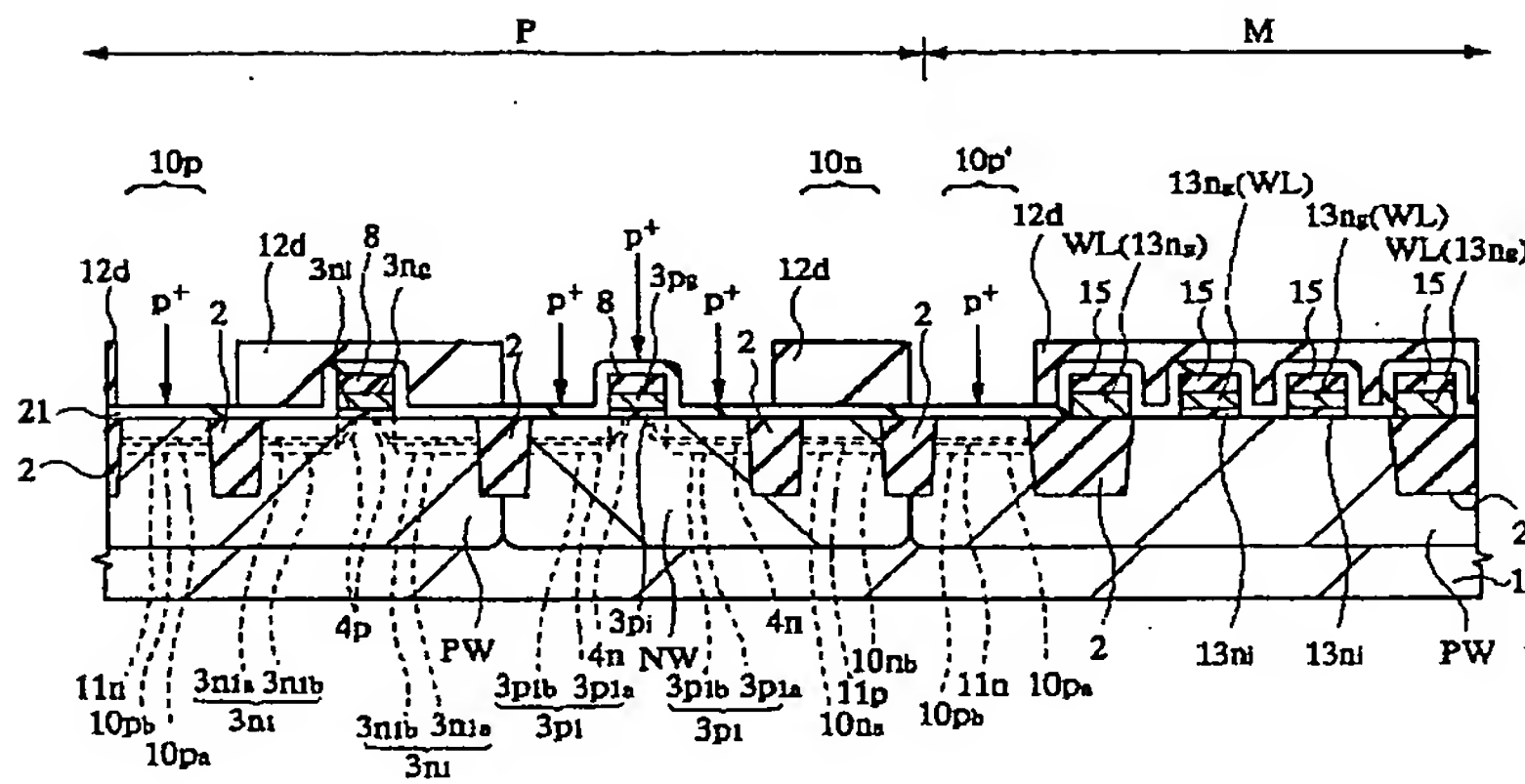




图 69

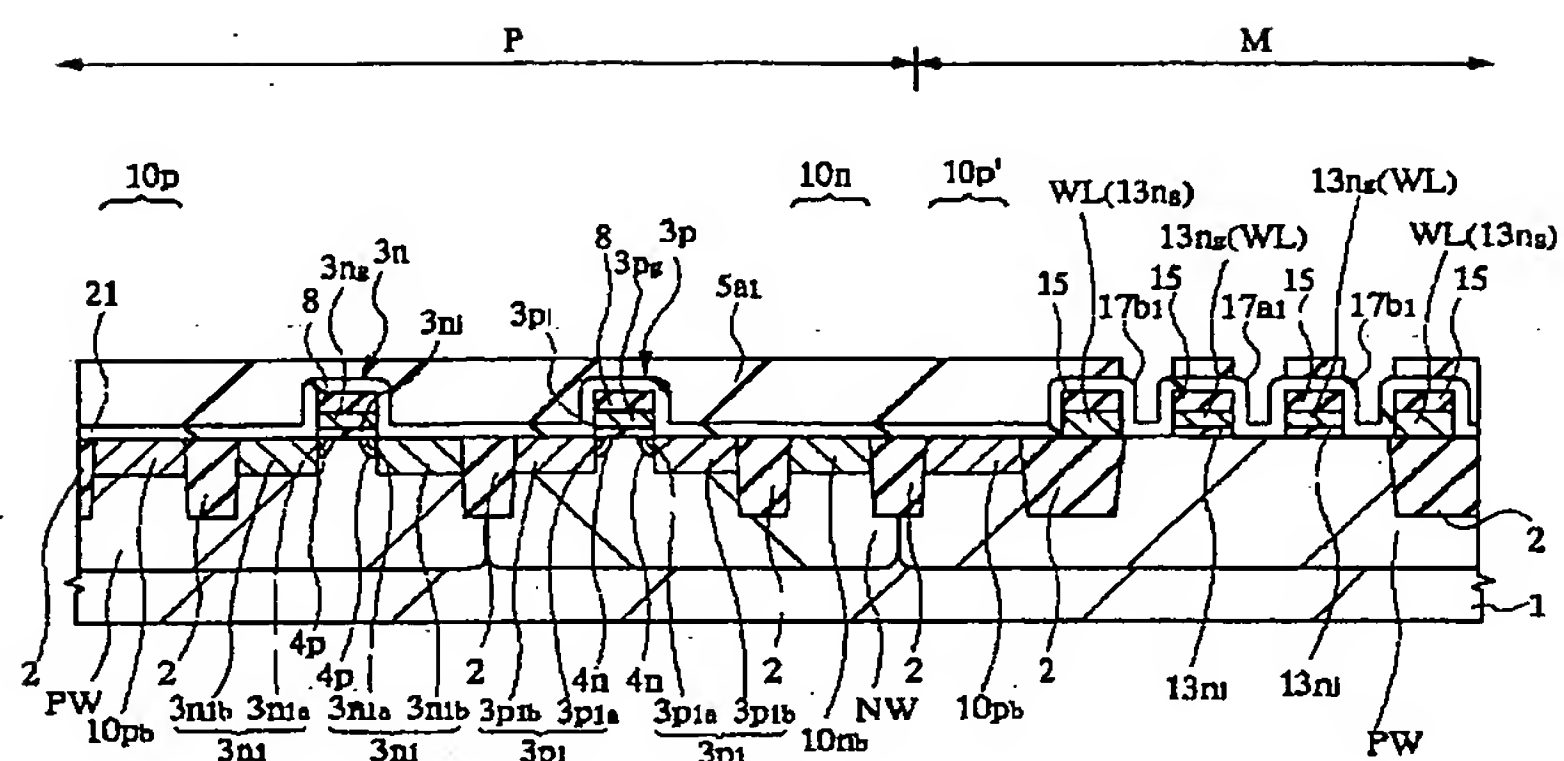
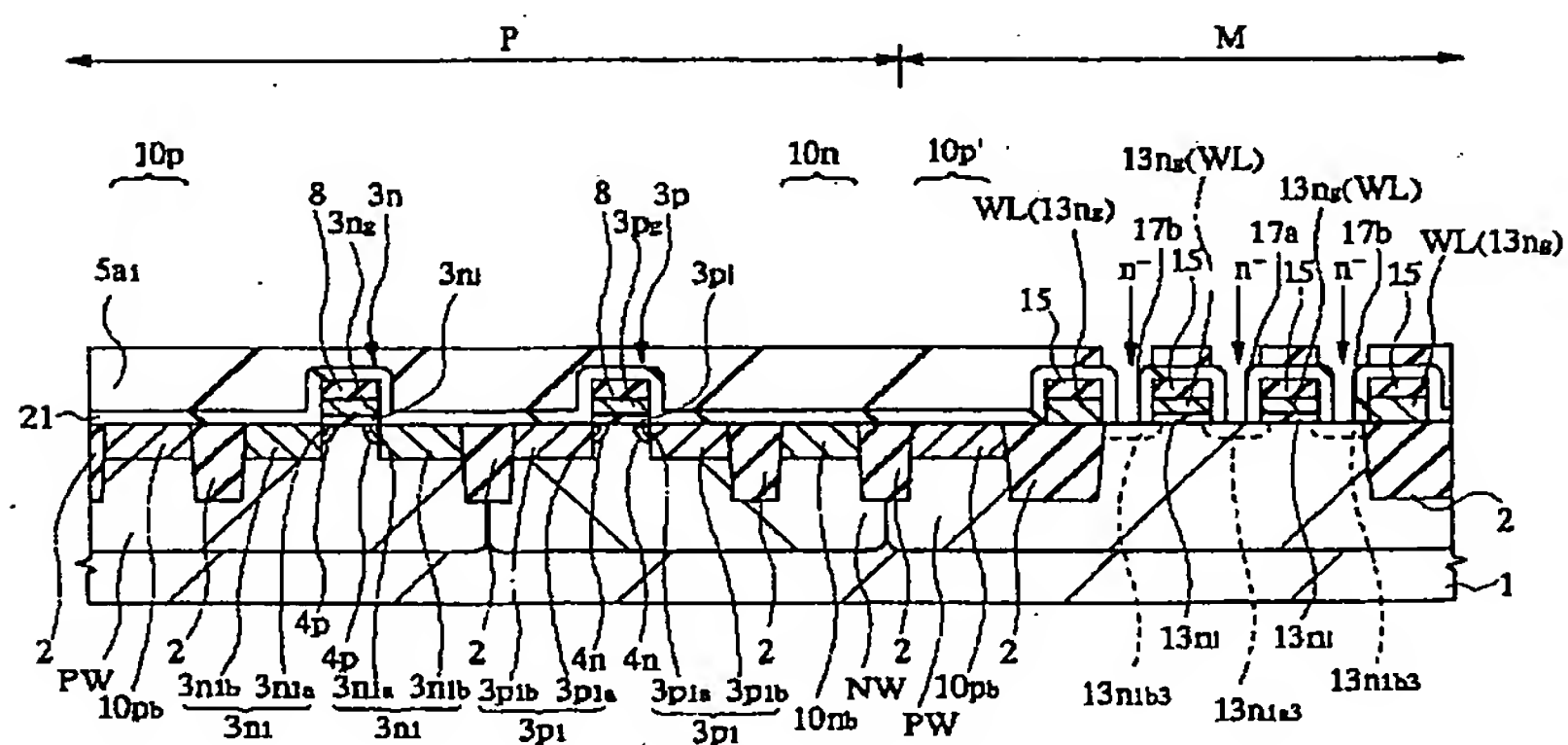


図 70







☒ 73

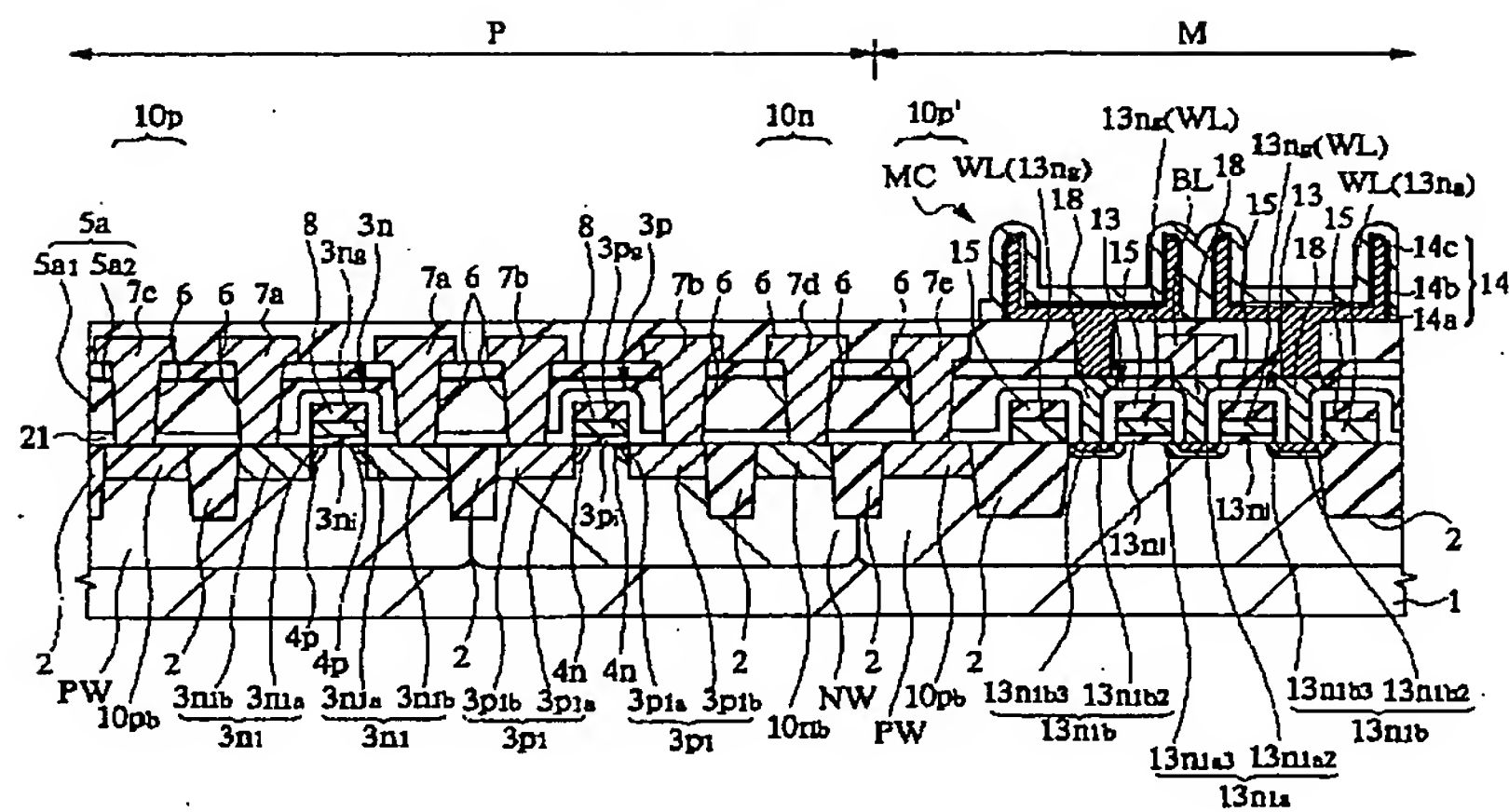
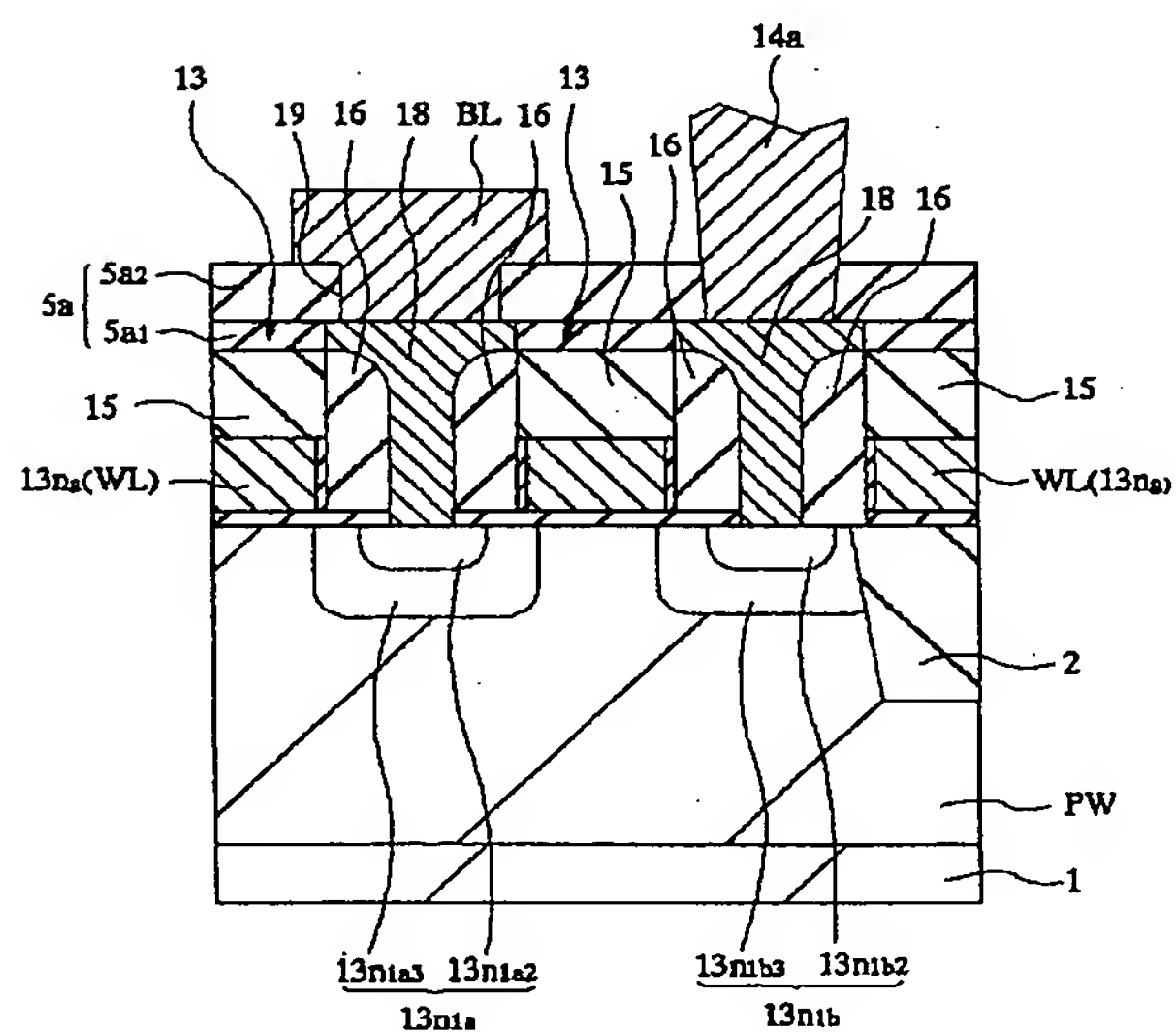


图 78



THIS PAGE BLANK (USPTO)